

⑫ 特許公報 (B2)

昭60-52652

⑬ Int. Cl.¹
H 02 J 3/40

識別記号

庁内整理番号
7926-5G

⑭ 公告 昭和60年(1985)11月20日

発明の数 1 (全10頁)

⑮ 発明の名称 自動揃速装置

⑯ 特 願 昭55-73375

⑰ 公 開 昭57-31

⑱ 出 願 昭55(1980)5月28日

⑲ 昭57(1982)1月5日

⑳ 発 明 者 山 田 勉 神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社
制御製作所内

㉑ 発 明 者 大 藪 勲 神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社
制御製作所内

㉒ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉓ 代 理 人 弁理士 大 岩 増 雄

審 査 官 赤 穂 隆 雄

1

2

㉔ 特許請求の範囲

1 系統側の3相交流電圧の第1の相間電圧と、
3相交流電圧を発電する発電機側の第1の相間電
圧との位相差を検出する第1の位相差電圧回路、
上記系統側の上記第1の相間電圧と上記発電機側
の第2の相間電圧との位相差を検出する第2の位
相差検出回路、上記系統側の上記第1の相間電圧
と上記発電機側の第3の相間電圧との位相差を検
出する第3の位相差検出回路、上記第1の位相差
検出回路の出力が所定値以上の位相差を示すとき
5 セットされる第1のフリップフロップ、上記第2
の位相差検出回路の出力が上記所定値以上の位相
差を示すときセットされる第2のフリップフロッ
プ、上記第3の位相差検出回路の出力が上記所定
値以上の位相差を示すときセットされる第3のフ
リップフロップ、上記第1のフリップフロップが
15 セットされ次で上記第2のフリップフロップがセ
ットされたとき付勢される第1のリレー動作回
路、上記第1のフリップフロップがセットされ次
で上記第3のフリップフロップがセットされたとき
付勢される第2のリレー動作回路、上記第2の
フリップフロップがセットされている状態では上
記第3のフリップフロップがセットされることを
20 禁止上記第3のフリップフロップがセットされて
いる状態では上記第2のフリップフロップがセッ
トされることを禁止する相互ロック回路、上記第1

のフリップフロップがセットされてから次に上記
第2又は第3のフリップフロップがセットされる
までの時間を計数するカウンタ、このカウンタの
計数値を入力し入力と所定の関数関係にあるデイ
ジタル数を入力し出力する読出し専用メモリ、このメ
モリの出力がプリセットされるプリセット可能の
ダウンカウンタ、このダウンカウンタに第1の周
波数のパルスを入力してダウンカウントしたとき
そのオーバフローパルスによりセットされる第4
10 のフリップフロップ、この第4のフリップフロッ
プの出力を入力しこの入力によって定められる時
点でパルスを入力するパルス間隔制御回路、この
パルス間隔制御回路の出力により上記第1、第
2、第3及び第4の各フリップフロップをリセッ
トする手段を備えたことを特徴とする自動揃速装
置。

2. 第1、第2、及び第3の各位相差検出回路
は、相互の位相差を検出すべき2つの交流電圧を
それぞれ矩形波に変換する2つの矩形波発生回路
と、矩形波電圧の高電圧部分を論理“1”とし低
電圧部分を論理“0”として上記2つの矩形波発
生回路の各出力を2入力とするエクスクルーシブ
オアゲートとを備えたことを特徴とする特許請求
の範囲第1項記載の自動揃速装置。

3 第1のフリップフロップがセットされてから
次に第2又は第3のフリップフロップがセットさ

れるまでの時間を計数するカウンタは、上記第1のフリップフロップのセット時点でクリアされ上記第1のフリップフロップがセットされてから上記第2又は第3のフリップフロップがセットされるまでの間第2の周波数のパルスを入力してこの入力パルスをアップカウントすることを特徴とする特許請求の範囲第1項記載の自動揃速装置。

4 第1のフリップフロップがセットされてから次に第2又は第3のフリップフロップがセットされるまでの時間を計数するカウンタに入力される第2の周波数のパルスと、プリセット可能なダウンカウンタをダウンカウントする第1の周波数のパルスとは、同一周波数のパルスからそれぞれの分周回路によつて発生されることを特徴とする特許請求の範囲第3項記載の自動揃速装置。

5 同一周波数のパルスから第1の周波数のパルスを発生する分周回路及び（又は）上記同一周波数のパルスから第2の周波数のパルスを発生する分周回路は分周比を変化する手段を備えたことを特徴とする特許請求の範囲第4項記載の自動揃速装置。

発明の詳細な説明

この発明は発電機の出力周波数を系統の出力周波数に合わせる自動揃速装置に関するものである。発電機を起動して送電系統に並列に接続する場合にこの自動揃速装置が用いられる。

第1図は従来の装置の一例を示すブロック図である。図において1は3相交流発電機、2は系統に発電機1を並列接続するためのしや断器、3、4、5は計器用変圧器（以下PTと略記する）、6、7、8は補助変圧器で同一電圧を発生する二次巻線を複数個もっている。9、10、11は全波整流器でダイオードブリッジによつて構成され、12、13、14は平滑用コンデンサ、15、16、17は抵抗、18は正のバイアス電圧を与えるバイアス設定器、19、20、21は逆流阻止用ダイオード、22、23、24は入力抵抗、25～34はノアゲート（NOR gate）で、第1図に示すようなノアゲートの表示法については後節で第2図に関して説明する。35、36は入力抵抗、37、38はバイアス抵抗、39、40はパワートランジスタ、41、42はサージキラー（surge killer）用コンデンサ、43、44は消弧用ダイオード、45は発電機1を駆動する原動

機のガバナモータ（図示せず）を下げるように制御するリレー15L、46は上記ガバナモータを上げるように制御するリレー15R、47、48はノアゲート、49は逆流阻止用ダイオード、50、51は可変抵抗器、52はコンデンサ、53はゼナーダイオード、54、55はノアゲート、56は抵抗、57はコンデンサ、58は抵抗、59はパルス間隔制御回路、60、61は逆流阻止用ダイオードである。

10 また第2図はノアゲートの表示法を説明する説明図で、第2図aはノアゲートの一例を示す接続図、第2図bは第2図aに相当する回路を表示する記号である。101、102、103はノアゲートの入力抵抗、104はバイアス抵抗、105はトランジスタ、106はコレクタ抵抗を示す。第2図cは入力抵抗がない場合のノアゲートを表示する記号である。ノアゲートは一般に複数の入力端子を設けているが、そのうちの一つの入力端子だけが用いられ第2図cのように表わされる場合はインバータ（inverter）と同様な動作をする。

次に第1図の回路の動作について説明する。第3図は第1図の全波整流器9、10、11の出力波形を示す波形図であつて第3図aは整流器9の、第3図bは整流器10の、第3図cは整流器11の出力電圧を示す。系統のRS相間（この明細書で一般的に第1の相間というのは、たとえばRS相間とする）電圧はPT3と補助変圧器6で検出され、発電機1のRS相間電圧はPT4と補助変圧器7で検出されこの両電圧の合成値、すなわち上記両電圧の周波数の差のうなり周波数で振幅が変化する交流電圧が整流器9に入力され、そのうなり周波数の脈動電圧が全波整流され第3図aに示す負極性電圧として出力される。交流成分はコンデンサ12で平滑化される。この整流出力は負極性で、バイアス設定器18で与えられる正極性のバイアス電圧と加算され第3図の点線より下方の部分だけが正極性となつたダイオード19を通過しナンドゲート25に入力される。整流器10には補助変圧器6、8から系統のRS相間電圧と発電機1のST相間（この明細書で一般的に第2の相間というのは、たとえばST相間とする）電圧の合成値が入力され、整流器11には補助変圧器6、7、8から系統のRS相間電圧と発電機1

のTR相間（この明細書で一般的に第3の相間というものは、たとえばTR相間とする。また第1図に示す例ではTR相間電圧は補助変圧器7, 8によりRS相間電圧をST相間電圧とを加算して得ている。）電圧の合成値が入力されるので、それぞれ第3図b, cに示す波形が出力される。

この場合発電機の出力電圧の周波数を f_1 、系統電圧の周波数を f_2 とすれば、第3図に示す脈動電圧の周波数 Δf は $\Delta f = |f_1 - f_2|$ であり、 $f_1 > f_2$ のときは第3図に示す各脈動電圧の位相はa → b → cの順であり、 $f_1 < f_2$ の時はa → c → bの順であることはよく知られている所である。すなわち $f_1 > f_2$ の場合、ダイオード19をパルス電圧が通過し、次にダイオード20をパルス電圧が通過するが、 $f_1 < f_2$ の場合、ダイオード19をパルス電圧が通過し次にダイオード21をパルス電圧が通過する。

第1図においてノアゲート25, 26、ノアゲート27, 28、ノアゲート29, 30及びノアゲート54, 55の各一對のノアゲートはフリップフロップ (Flipflop) を構成している。抵抗22を介してノアゲート25に正極性のパルスを加えるとその出力は“0”となりしたがつてノアゲート26の出力は“1”となつてその後ノアゲート26の入力に正極性のパルスが加えられるまではその状態が保たれる。この状態を仮にフリップフロップのセット状態ということにする。ノアゲート28, 29にはノアゲート25の出力が入力されるので、ノアゲート27, 28のフリップフロップとノアゲート29, 30のフリップフロップはノアゲート25, 26のフリップフロップがセットされた状態でなければセットされることはない。またノアゲート28の出力がノアゲート29に入力され、ノアゲート29の出力がノアゲート28に入力されているので、ノアゲート27, 28のフリップフロップがセットされている状態ではノアゲート29, 30のフリップフロップがセットされることはなく、ノアゲート29, 30のフリップフロップがセットされている状態ではノアゲート27, 28のフリップフロップがセットされることはない。したがつて $f_1 > f_2$ のときはノアゲート25, 26のフリップフロップがセットされ次にノアゲート27, 28のフリップフロップがセットされ、ノアゲート29, 30のフリ

ップフロップはセットされることなく、また $f_1 < f_2$ のときは、ノアゲート25, 26のフリップフロップがセットされ、次にノアゲート29, 30のフリップフロップがセットされ、ノアゲート27, 28のフリップフロップはセットされない。ノアゲート27, 28のフリップフロップがセットされるとリレー15L45を付勢しガバナモータを下げ方向に回転し f_1 を低下させ、ノアゲート29, 30のフリップフロップがセットされるとリレー15R46を付勢しガバナモータを上げ方向に回転し f_1 を上昇させ $f_1 = f_2$ になるようにする。

一方、ノアゲート47は第3図aのパルスが出てから次に第3図b又はcのパルスが出るまですべての入力は“0”となりその出力は“1”となる。第3図aのパルスの繰返し周期Tは $T = 1 / \Delta f$ 、 $\Delta f = |f_1 - f_2|$ であり、したがつてノアゲート47の出力が“1”である間の時間 T_1 は $T_1 = 120T / 360 = 1 / 3 \Delta f$ となる。時間 T_1 の間ダイオード49、抵抗50を介してコンデンサ52が充電される。第4図はこのコンデンサ52の電圧経過を示す波形図であつて、横軸は時間tを示し、抵抗50を介しての充電の開始点を $t = 0$ とすればその終了点は $t = T_1$ となるが Δf が大きい場合には T_1 は小さく、たとえば第4図の $t = T_{11}$ の点に、 Δf が小さい場合は T_1 は大きいたとえば T_{12} の点となる。 $t = T_1$ の点でノアゲート47の出力は“0”となり、ノアゲート33又は34の出力は“1”となつてコンデンサ52は抵抗51を介して充電される。コンデンサ52の電圧がゼナーダイオード53のゼナー電圧 E_z に達するとノアゲート54に正極性パルスを与えてノアゲート54, 55のフリップフロップをセットする。ノアゲート55の出力がノアゲート33, 34, 47, 48に入力されノアゲート55の出力が“1”である間はノアゲート33, 34, 47, 48の出力を“0”に保つ。これによりリレー15L45（又はリレー15R46）は不動作になる。

したがつて周波数差 Δf が大きいと T_1 が T_{11} のように小さくリレー15L45を動作させている時間 t_{c1} は長く、 Δf が小さいと T_1 が T_{12} のように大きくリレー15L45を動作させている時間 t_{c2} は短い。第5図は Δf とガバナモータ駆動時限すなわちリレーの動作時間 t_c との関係を示すグ

7

ラフで、抵抗51の抵抗値RをパラメータにしてR=大、R=中、R=小の場合を示す。ナンドゲート54の出力はパルス間隔制御回路59に入力され一定時間後“1”のパルスを出しナンドゲート26, 28, 29, 55に入力してこれらナンドゲートが構成するフリップフロップをリセットする。リセット後はナンドゲート25, 26のフリップフロップがまずセットされ、さきに述べた動作をくりかえす。ダイオード49, 60, 61は逆流防止用である。以上のようにして $f_1 > f_2$ のときはリレー15L45を動作させて f_1 を低下させ、 $f_1 < f_2$ のときはリレー15R46を動作させて f_1 を上昇させ、かつ $|f_1 - f_2| = \Delta f$ が大きい場合はこれらのリレーを動作させる時間を長くして f_1 の低下又は上昇の量を多くして $f_1 = f_2$ となるように制御する。

従来の自動増速装置は以上のように構成されていて、抵抗50, 51の許容誤差が±5%程度あり、コンデンサ52の容量の許容誤差が±10%程度あり、ゼナーダイオード53のゼナー電圧 E_z も10%程度の誤差があり、これらが重なり合つて第5図のガバナ駆動時限の特性には相当のばらつきがありいちいち調整すると共にテストデータをとつてこのテストデータをもとに抵抗50, 51の設定を行わねばならず、また一度調整した値が温度変化、経年変化等により変化するという欠点がある。

この発明は上述のような従来の装置の欠点を除去するためになされたもので、この発明ではガバナモータ駆動時限制御回路をデジタル化して調整を不要にすることを目的としている。

以下図面によりこの発明の実施例を説明する。

第6図はこの発明の一実施例を示すブロック図で、第6図において1~5, 7~8, 35~46は第1図の同一符号と同一又は相当部分を示し、65は補助変圧器、66~69は矩形波発生回路であつて、系統のRS相間、発電機1のRS相間、ST相間、TR相間の各電圧を入力して矩形波に変換する回路であるが、補助変圧器65, 7, 8の二次側に第6図において×印を付した方の端子が高電位となつている間は矩形波の“H”レベルの電圧、×印を付した方の端子が低電位となつているときは矩形波の“L”レベルの電圧をそれぞれ出力する。70~72はエクスクルーシブオアゲ

8

ートで、上記“H”レベルの電圧を論理“1”とし“L”レベルの電圧を論理“0”としてその排他的論理和を出力する。第6図に示す実施例ではエクスクルーシブオアゲート70, 71, 72によつてこの明細書でいう第1、第2、第3の位相差検出回路を構成する。

73~75はパルス幅検出回路でエクスクルーシブオアゲート70~72の出力パルスのパルス幅が所定値を超した時点でパルスを出力する。76~86はナンドゲート(NANDgate)、87~91はインバータ、92, 93は抵抗、94, 95はコンデンサ、96, 97はシュミット回路、98~101はナンドゲート、102はアップカウンタ、103は読出し専用メモリ(以下ROMと略記する。多くの場合ProgrammableROMすなわちP-ROMが用いられる)、104はプリセット可能なダウンカウンタでROM103の出力がプリセットされる。105, 106はナンドゲート、108はパルス間隔制御回路、109は水晶発振回路、110, 111, 112はそれぞれ分周回路である。

第7図は第6図の特定部分の電圧波形を示す波形図であつて、aはPT3の入力電圧、bはPT4の入力電圧、cはエクスクルーシブオアゲート70の出力電圧、dはパルス幅検出回路73の出力電圧、eはエクスクルーシブオアゲート71の出力電圧、fはパルス幅検出回路74の出力電圧、gはエクスクルーシブオアゲート72の出力電圧、hはパルス幅検出回路75の出力電圧を示す。また第8図は第6図の他の特定部分の電圧波形を示す波形図であつて、aはナンドゲート86の出力電圧、bはコンデンサ94の端子電圧、cはシュミット回路96の出力電圧、dはナンドゲート98の出力電圧、eはインバータ90の出力電圧、fはコンデンサ96の端子電圧、gはシュミット回路97の出力電圧、hはナンドゲート99の出力電圧である。

以下、第7図及び第8図を用いて第6図の回路の動作を説明する。第1図の回路で説明したと同様 $f_1 > f_2$ 、又は $f_1 < f_2$ のときは第7図a, bに示すように系統の相間電圧と発電機1の相間電圧との間の位相差が $\Delta f = |f_1 - f_2|$ のうなり周波数で変化し、したがつてエクスクルーシブオアゲート70, 71, 72の出力はそれぞれ第7図c,

e, gに示すようになる。第7図c, e, gの鎖線は各出力パルスのパルス幅の変化する経過を示したもので、このパルス幅が一定値以上になるとパルス幅検出回路73, 74, 75は負極性のパルスを出力するとすれば各回路73, 74, 75の出力はそれぞれ第7図d, f, hに示すようになる。

ナンドゲート76, 77、ナンドゲート78, 79、ナンドゲート80, 81はフリップフロップを構成し、この明細書ではそれぞれ第1、第2、第3のフリップフロップと称することにする。第7図dに示す負極性のパルスすなわち“0”のパルスがパルス幅検出回路73からナンドゲート76に与えられるとナンドゲート76の出力は“1”となりナンドゲート77の出力は“0”となつてその後のナンドゲート77に負極性のパルスが加えられるまでその状態が保たれる。この状態を仮にフリップフロップのセット状態ということにする。ナンドゲート79と81には76の出力が入力されるので、第2のフリップフロップ78, 79と第3のフリップフロップ80, 81とは第1のフリップフロップ76, 77がセットされた状態でなければセットされることはない。またナンドゲート79の出力がナンドゲート81に入力されており、ナンドゲート81の出力がナンドゲート79に入力されているので、第2のフリップフロップ78, 79がセットされている状態では第3のフリップフロップ80, 81がセットされることはなく、第3のフリップフロップ80, 81がセットされている状態では第2のフリップフロップ78, 79がセットされることはない。すなわち第2のフリップフロップ78, 79と第3のフリップフロップ80, 81の間には上述のような相互ロック回路が設けられている。

第1のフリップフロップ76, 77がセットされてから次で第2のフリップフロップ78, 79がセットされると、ナンドゲート82, 84、インバータ87を介してトランジスタ39をターンオンしてリレー15L45を動作させ f_1 を低下させる。また第1のフリップフロップ76, 77がセットされてから次で第3のフリップフロップ80, 81がセットされると、ナンドゲート83, 85、インバータ88を介してトランジスタ40

をターンオンしてリレー15R46を動作させ f_1 を上昇させる。

ナンドゲート86の出力は第1のフリップフロップ76, 77がセットされてから次に第2のフリップフロップ78, 79が第3のフリップフロップ80, 81がセットされるまで論理“0”すなわちレベル“L”の電圧(第8図a)となり、したがつてコンデンサ94の端子電圧、シュミット回路96の出力電圧ナンドゲート98の出力電圧は第8図b, c, dに示す波形になり、第8図dに示すパルスによりアップカウンタ102の計数値を零にリセットする。またインバータ90の出力は第8図eに示すとおりであつて、この間分周回路111の出力がナンドゲート100を通過しアップカウンタ102をアップカウントする。このアップカウンタ102に入力されるパルスの周波数をこの明細書では第2の周波数という。アップカウンタ102の計数値はROM103へ入力されROM103は入力の関数としてあらかじめ定められた数値を出力しダウンカウンタ104の並列入力端子に入力する。コンデンサ95の端子電圧、シュミット回路97、ナンドゲート99の出力電圧はそれぞれ第8図f, g, hに示すとおりになり第8図hのパルスの時点でROM103の出力がダウンカウンタ104にプリセットされる。ナンドゲート96の出力(第8図a)が“1”になつている間分周回路112の出力パルスがナンドゲート101からダウンカウンタ104に加えられてこれをダウンカウントする。この明細書ではこのダウンカウンタ104に入力されるパルスの周波数を第1の周波数という。ダウンカウンタ104の計数値が零になるとオーバーフローパルス(すなわちキヤリパルス)が出力されてナンドゲート105, 106のフリップフロップ(この明細書では第4のフリップフロップという)をセットしナンドゲート82, 83の出力を阻止すると共にパルス間隔制御回路に加えられた所定時間ののち第1、第2、第3、第4の各フリップフロップをリセットして、次にパルス幅検出回路73からパルスが出力されるのを待ちこのパルスが出力されると上述の動作をくり返す。

以下、アップカウンタ102、ROM103、ダウンカウンタ104の動作を数値例を用いて説明する。水晶発振回路109の出力周波数を1M

Hz、分周回路 111 の出力周波数（すなわち第 2 の周波数）を $1\text{MHz}/2^4$ とする。すなわちアップカウンタ 102 に入力するパルスの周期は $10^{-6} \times 2^4 = 0.016384$ (sec) でありアップカウンタ 10

2 の計数値は $T_1 = \frac{1}{3\Delta f}$ を示すもので、第 9 図はアップカウンタ 102 の計数値と T_1 及び Δf の関数を示す対応図であり、このアップカウンタ 102 の計数値が ROM 103 の入力となる。第 10 図は ROM 103 の入力と出力の関係を示す対応図である。すなわち入力数値が大きいことは T_1 が大、 Δf が小であることを示すので、入力数値が大きい程出力数値を小さくして小さい Δf に対応する小時間の制御が与えられるようにしている。分周回路 112 の出力周波数（すなわち第 1 の周波数）を $1\text{MHz}/2^7$ とし、ダウンカウンタ 104 に入力するパルスの周期を $10^{-6} \times 2^7 = 0.131072$ (sec) とすれば ROM 103 の出力値すなわちダウンカウンタ 104 にプリセットされる値とリレー 15L 45 又はリレー 15R 46 が付勢される時限、すなわちガバナモータが駆動される時限 t_0 との関係を示す。

第 12 図は Δf とリレー付勢（ガバナモータ駆動）時限 t_0 との関係を示すグラフであつて、実線は上述の数値例による場合を示す。 Δf とリレー付勢時限との関係は ROM 103 の入出力の関数関係を変化し、上記第 1 の周波数と第 2 の周波数との比を変化することによつて変化することができる。たとえば分周回路 110, 111 の出力段の切換等によつて分周回路 111 の出力周波数を $1\text{MHz}/2^5$, $1\text{MHz}/2^6$ にする第 12 図に点線、一点鎖線でそれぞれ示す特性を得ることは容易に理解できる。

ナンドゲート 98, 99 の片方の入力 I は電源が入った瞬間にカウンタ 102, 104 をプリセットするためのもので誤動作防止用の回路である。

以上のようにして、リレー 15L 45、リレー 15R 46 を制御してガバナモータを制御し $\Delta f = |f_1 - f_2|$ を許容値以内にした上で、自動同期装置を使用して発電機 1 を系統に並列接続する。

なお上記実施例では 1MHz の水晶発振回路 109 から分周回路によつてそれぞれ所望の周波数を

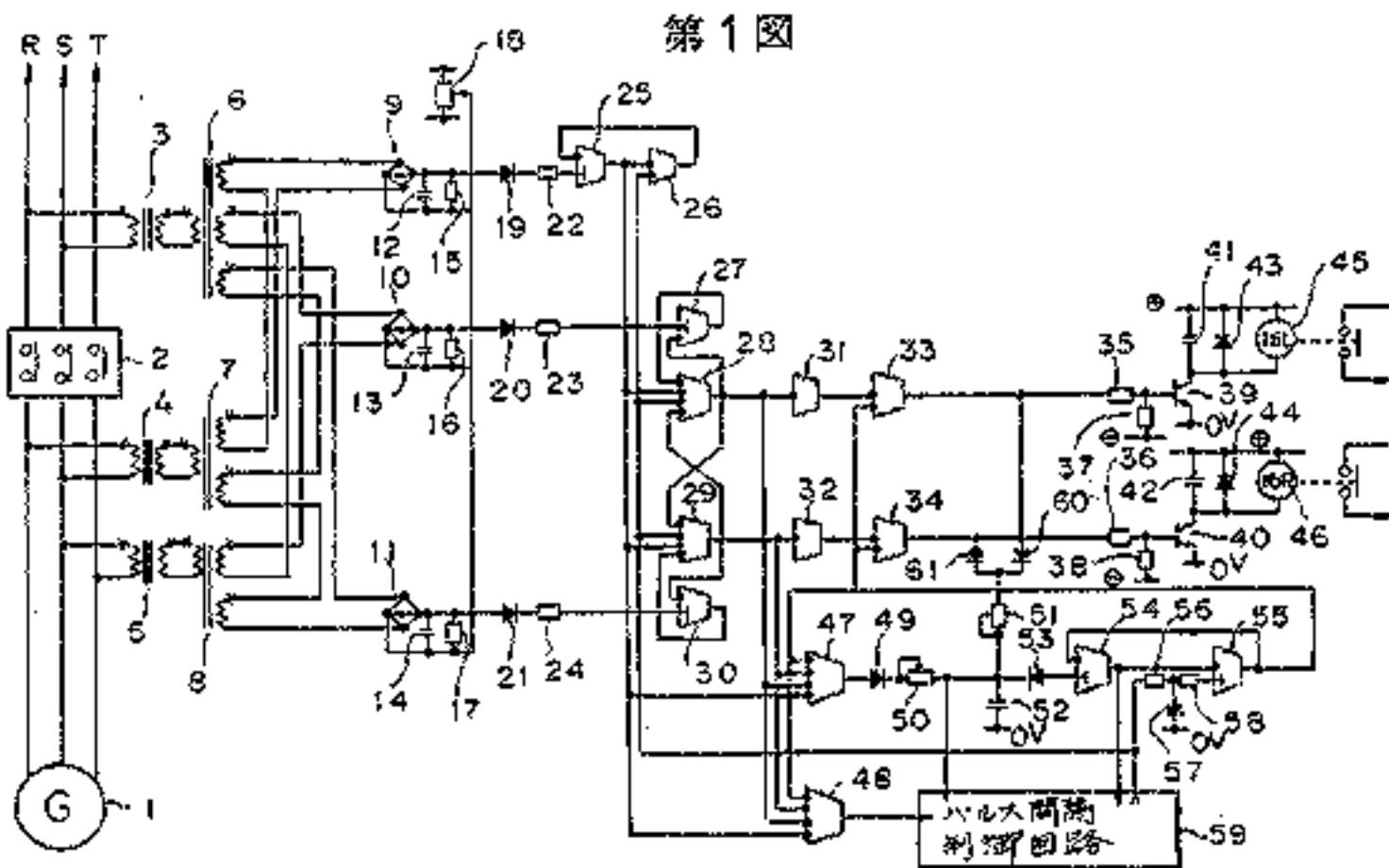
有する第 1 及び第 2 の周波数を得ているが、比較的低いパルス周波数を発振して分周回路の段数を減少してもよく、また上記第 1 の周波数と第 2 の周波数とはそれぞれ独立に発生してもよい。

5 以上のように、この発明によれば、アナログ回路を使用した従来の装置における回路素子のばらつきによる特性のばらつきを除去することができ、調整が容易であり、かつ特性のばらつきのため従来の装置においては必要であつたテストデータも不要となり、水晶発振器とデジタル数値とにより正確に時限が決定され部品劣化や経年変化による変動もなく、かつ設定時限を容易に変更することができる自動调速装置が得られるものである。

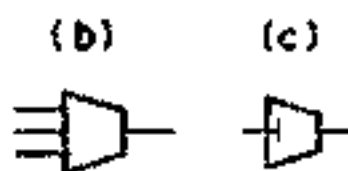
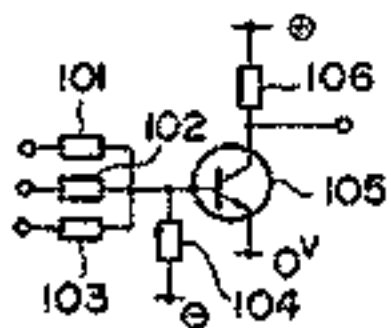
15 図面の簡単な説明

第 1 図は従来の装置の一例を示すブロック図、第 2 図は第 1 図に用いられるノアゲートの表示法を説明する説明図、第 3 図は第 1 図の各全波整流器の出力波形を示す波形図、第 4 図は第 1 図のコンデンサの電圧経過を示す波形図、第 5 図は周波数差 Δf とガバナモータ駆動時間 t_0 との関係を示すグラフ、第 6 図はこの発明の一実施例を示すブロック図、第 7 図及び第 8 図は第 6 図の特定部分の電圧波形を示す波形図、第 9 図は第 6 図のアップカウンタの計数値と Δf の関係を示す対応図、第 10 図は第 6 図の ROM の入出力の関係を示す対応図、第 11 図は第 6 図のダウンカウンタにプリセットされる値とガバナモータ駆動時限 t_0 の関係を示す対応図、第 12 図は Δf とガバナモータ駆動時限との関係を示すグラフである。

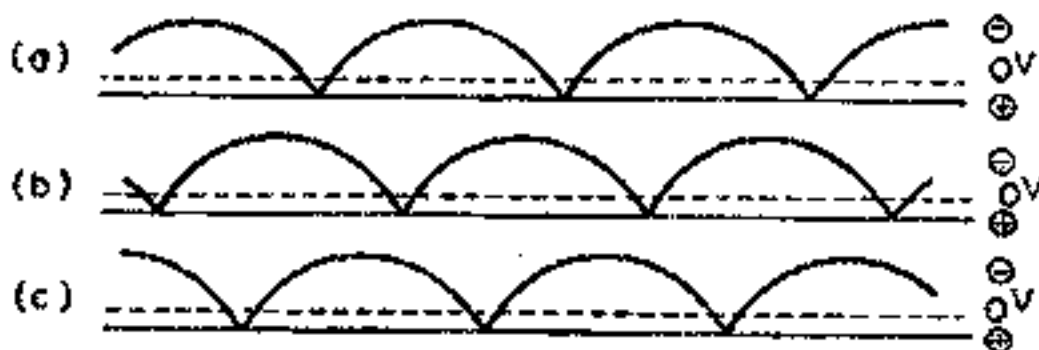
66, 67, 68, 69……矩形波発生回路、70……第 1 の位相差検出回路、71……第 2 の位相差検出回路、72……第 3 の位相差検出回路、76, 77……第 1 のフリップフロップ、78, 79……第 2 のフリップフロップ、80, 81……第 3 のフリップフロップ、105, 106……第 4 のフリップフロップ、45……第 1 のリレー、46……第 2 のリレー、102……カウンタ、103……ROM、104……プリセット可能なカウンタ、108……パルス間隔制御回路、109……水晶発振回路、110, 111, 112……分周回路。なお、図中同一符号は同一又は相当部分を示すものとする。



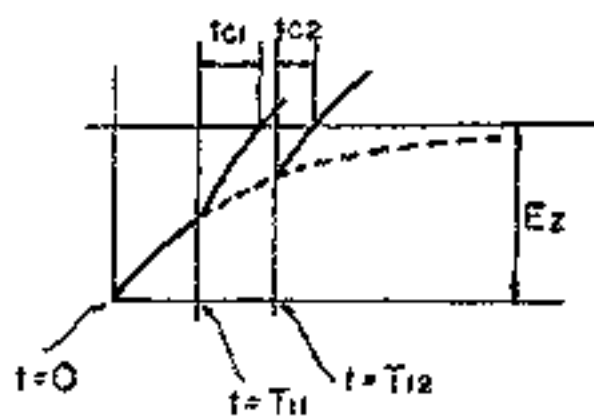
(a) 第2図



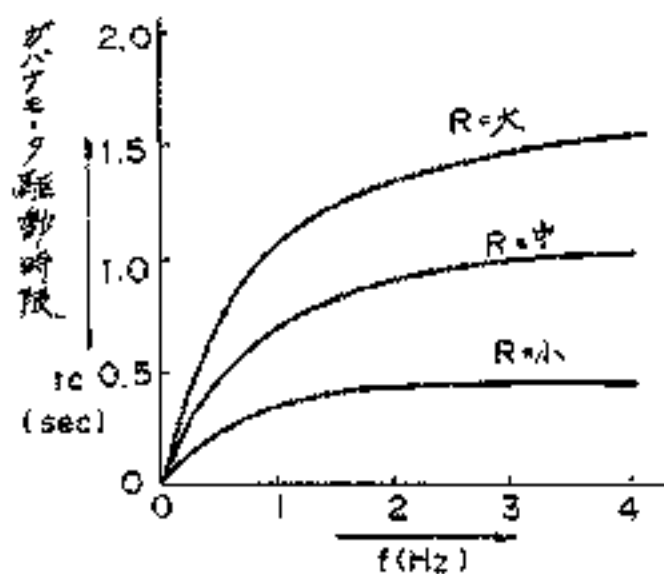
第3図



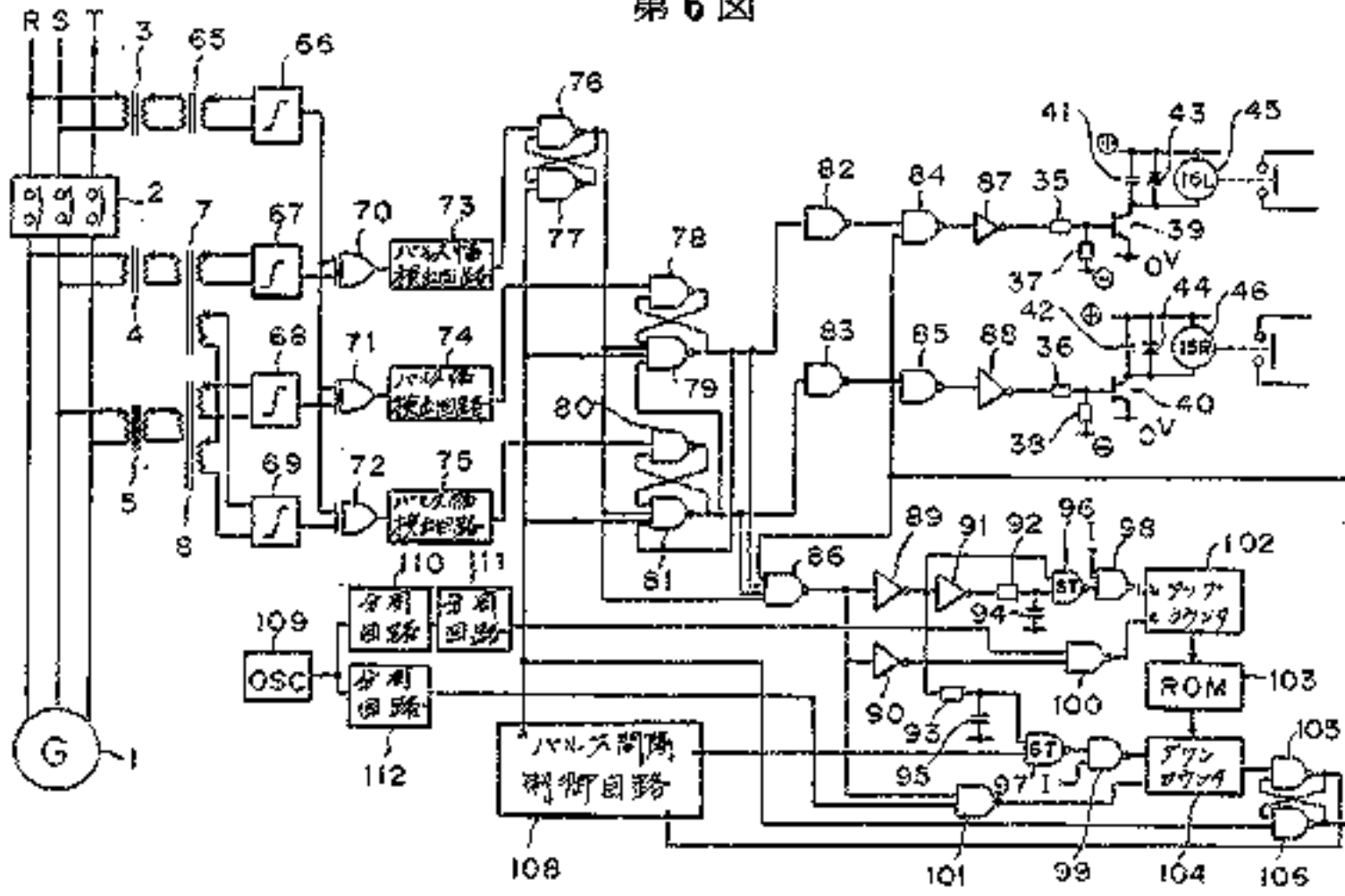
第4図



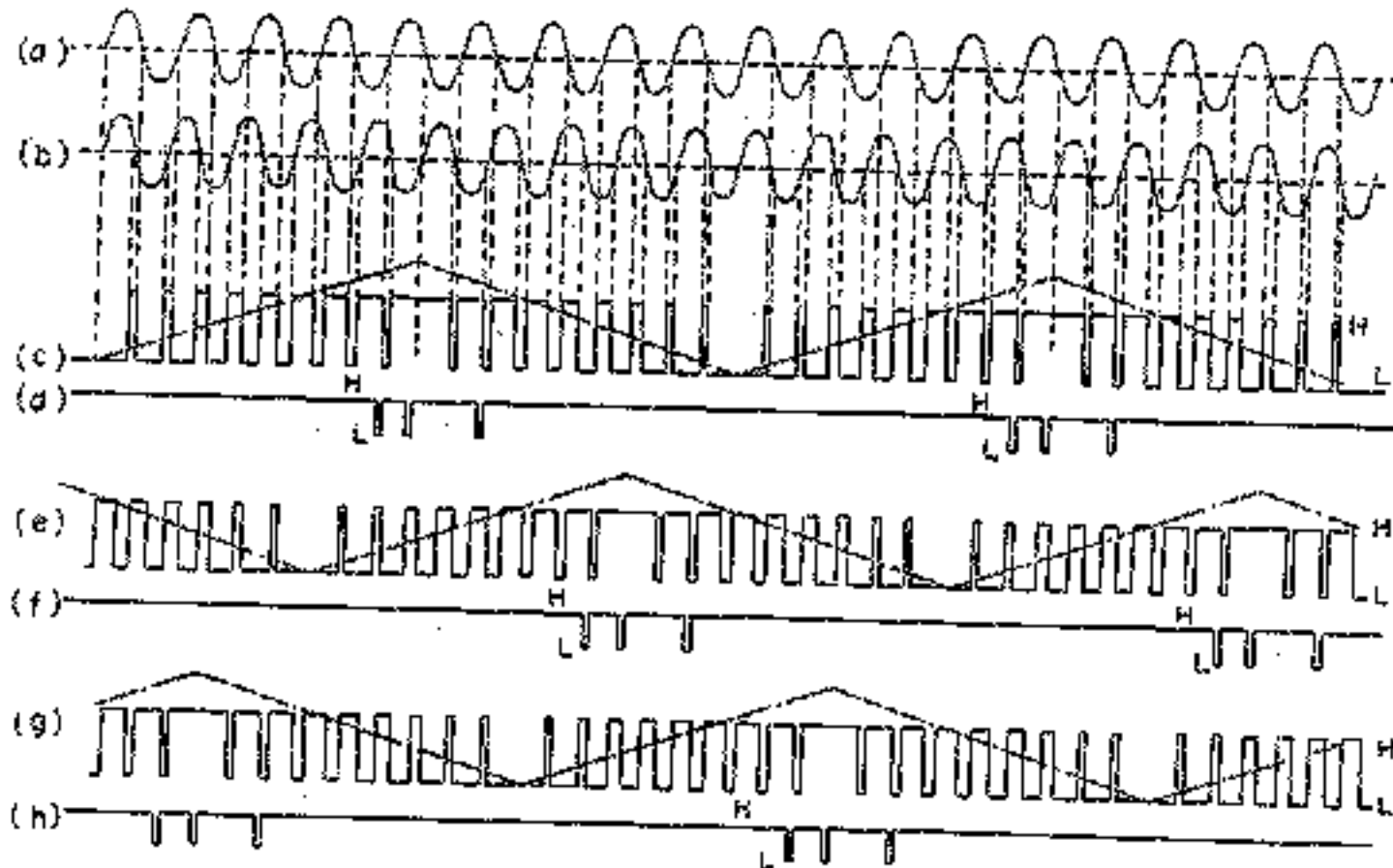
第5図



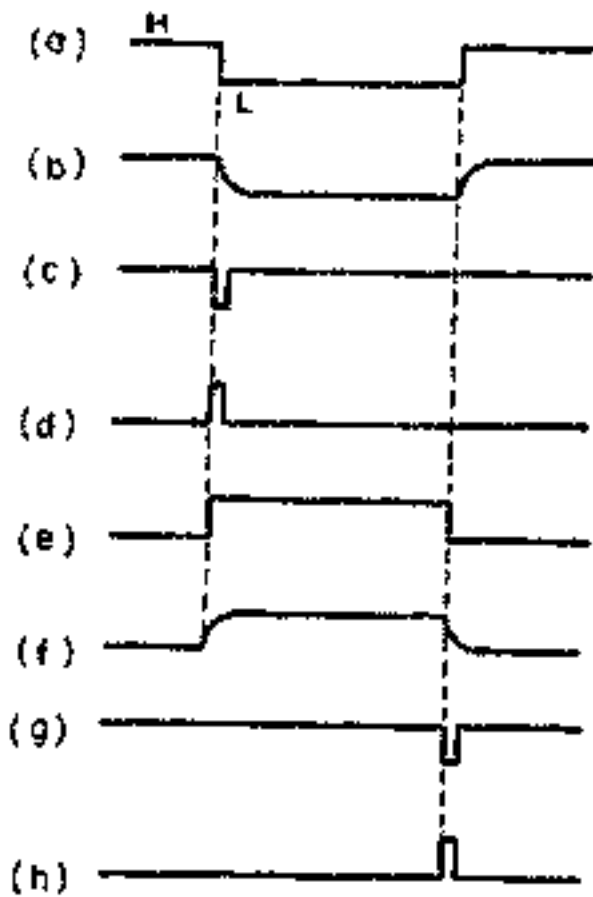
第 6 图



第 7 图



第 8 図

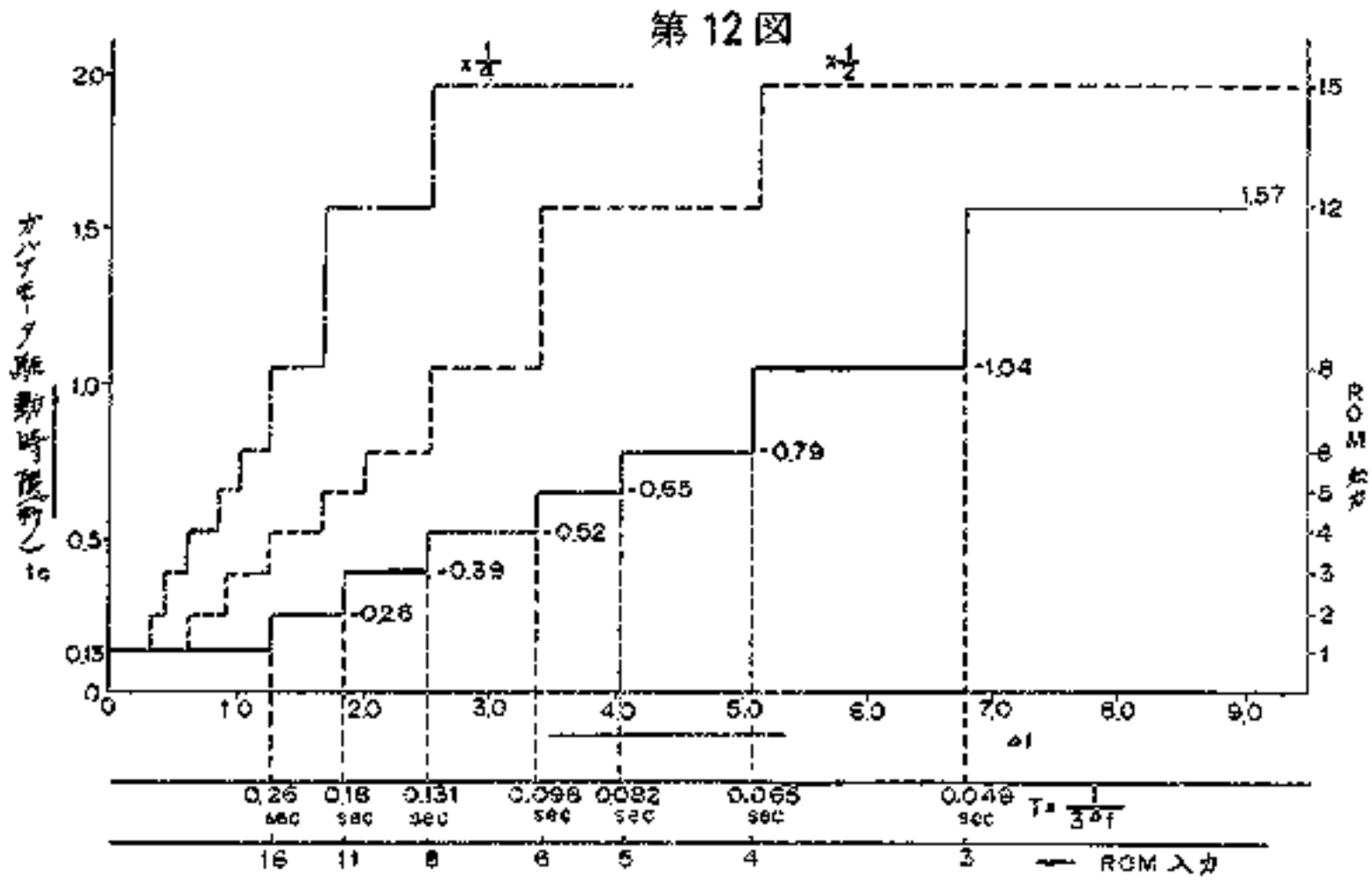


第 10 図

	ROM 入力					ROM 出力				
	24	23	22	21	20	23	22	21	20	
0	0	0	0	0	0	1	1	1	1	15
1	0	0	0	0	1	1	1	1	1	15
2	0	0	0	1	0	1	1	0	0	12
3	0	0	0	1	1	1	0	0	0	8
4	0	0	1	0	0	0	1	1	0	6
5	0	0	1	0	1	0	1	0	1	5
6	0	0	1	1	0	0	1	0	0	4
7	0	0	1	1	1	0	1	0	0	4
8	0	1	0	0	0	0	0	1	1	3
9	0	1	0	0	1	0	0	1	1	3
10	0	1	0	1	0	0	0	1	1	3
11	0	1	0	1	1	0	0	1	0	2
12	0	1	1	0	0	0	0	1	0	2
13	0	1	1	0	1	0	0	1	0	2
14	0	1	1	1	0	0	0	1	0	2
15	0	1	1	1	1	0	0	1	0	2
16	1	0	0	0	0	0	0	0	1	1
17	1	0	0	0	1	0	0	0	1	1
18	1	0	0	1	0	0	0	0	1	1
19	1	0	0	1	1	0	0	0	1	1
20	1	0	1	0	0	0	0	0	1	1
21	1	0	1	0	1	0	0	0	1	1
22	1	0	1	1	0	0	0	0	1	1
23	1	0	1	1	1	0	0	0	1	1
24	1	1	0	0	0	0	0	0	1	1
25	1	1	0	0	1	0	0	0	1	1
26	1	1	0	1	0	0	0	0	1	1
27	1	1	0	1	1	0	0	0	1	1
28	1	1	1	0	0	0	0	0	1	1
29	1	1	1	0	1	0	0	0	1	1
30	1	1	1	1	0	0	0	0	1	1
31	1	1	1	1	1	0	0	0	1	1
	16	8	4	2	1	8	4	2	1	

第 9 図

アップカウンタ値	時間	$T = \frac{1}{3 \cdot f}$	f
1	0.016384 秒	0.016384 秒	20.345 Hz
2	0.032768 秒	0.032768 秒	10.172 Hz
		0.049152 秒	6.782 Hz
4	0.065536 秒	0.065536 秒	5.080 Hz
		0.08192 秒	4.069 Hz
		0.098304 秒	3.391 Hz
		0.114688 秒	2.906 Hz
8	0.131072 秒	0.131072 秒	2.543 Hz
		0.147456 秒	2.261 Hz
		0.16384 秒	2.035 Hz
		0.180224 秒	1.850 Hz
		0.196608 秒	1.695 Hz
		0.212992 秒	1.665 Hz
		0.229376 秒	1.453 Hz
		0.24576 秒	1.356 Hz
16	0.262144 秒	0.262144 秒	1.272 Hz
...
31		0.507904 秒	0.556 Hz



第 11 図

ROM 入力	カハナモード 駆動時間 (秒)
1	0.131072 秒
2	0.262144 秒
3	0.393216 秒
4	0.524288 秒
5	0.65536 秒
6	0.786432 秒
7	0.917504 秒
8	1.048576 秒
9	1.179648 秒
10	1.31072 秒
11	1.441792 秒
12	1.572864 秒
13	1.703936 秒
14	1.835008 秒
15	1.96608 秒