

⑫ 特許公報 (B 2)

昭61-6615

⑬ Int. Cl. 4
H 02 J 3/40

識別記号 庁内整理番号
7926-5G

⑭ 公告 昭和61年(1986)2月27日

発明の数 1 (全11頁)

⑮ 発明の名称 自動揃速装置

⑯ 特 願 昭55-60325

⑰ 公 開 昭56-166729

⑱ 出 願 昭55(1980)5月6日

⑲ 昭56(1981)12月22日

⑳ 発 明 者 山 田 勉 神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社
制御製作所内

㉑ 発 明 者 大 藪 勲 神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社
制御製作所内

㉒ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉓ 代 理 人 弁理士 大岩 増雄

審 査 官 赤 穂 隆 雄

1

2

㉔ 特許請求の範囲

1 系統側電圧を受けてこれを矩形波に変換する第1の矩形波変換回路と、発電機側のR-S相間電圧を受けてこれを矩形波に変換する第2の矩形波変換回路と、発電機側のS-T相間電圧を受けてこれを矩形波に変換する第3の矩形波変換回路と、発電機側のT-R相間電圧を受けてこれを矩形波に変換する第4の矩形波変換回路と、上記第1及び第2の矩形波変換回路の出力を受けて上記系統側電圧及び上記発電機側R-S相間電圧でなる第1の2つの交流の位相差に比例したパルス幅をもつ第1のパルス列を得る第1の排他的論理和ゲートと、上記第1及び第3の矩形波変換回路の出力を受けて上記系統側電圧及び上記発電機側S-T相間電圧でなる第2の2つの交流の位相差に比例したパルス幅をもつ第2のパルス列を得る第2の排他的論理和ゲートと、上記第1及び第4の矩形波変換回路の出力を受けて上記系統側電圧及び上記発電機側T-R相間電圧でなる第3の2つの交流の位相差に比例したパルス幅をもつ第3のパルス列を得る第3の排他的論理和ゲートと、高周波パルスを発生するパルス発振器と、上記第1のパルス列のパルス幅の期間だけ上記パルス発振器の出力パルスをカウントダウンして零カウントになったとき第1の出力パルスを送出する第1のプリセットブルカウンタと、上記第2のパルス列

のパルス幅の期間だけ上記パルス発振器の出力パルスをカウントダウンして零カウントになったとき第2の出力パルスを送出する第2のプリセットブルカウンタと、上記第3のパルス列のパルス幅の期間だけ上記パルス発振器の出力パルスをカウントダウンして零カウントになったとき第3の出力パルスを送出する第3のプリセットブルカウンタと、上記第1のプリセットブルカウンタの第1の出力パルスが出たことを検出記憶する第1の記憶回路と、上記第2のプリセットブルカウンタの第2の出力パルスが出たことを検出記憶する第2の記憶回路と、上記第3のプリセットブルカウンタの第3の出力パルスが出たことを検出記憶する第3の記憶回路と、上記第1及び第2の記憶回路が共に動作したとき発電機の原動機に下げパルスを発生する第1のリレー動作回路と、上記第1及び第3の記憶回路が共に動作したとき発電機の原動機に上げパルスを発生する第2のリレー動作回路と、上記第1のリレー動作回路が先に動作したとき上記第2のリレー動作回路の動作条件ができてでもこれをロックし、又は上記第2のリレー動作回路が先に動作したとき上記第1のリレー動作回路の動作条件ができてでもこれをロックする相互ロック回路とを具備することを特徴とする自動揃速装置。

2 上記第1の排他的論理和ゲートは上記第1の

3

2つの交流の位相差に逆比例したパルス幅をもつ上記第1のパルス列を発生し、上記第2の排他的論理和ゲートは上記第2の2つの交流の位相差に逆比例したパルス幅をもつ上記第2のパルス列を発生し、上記第3の排他的論理和ゲートは上記第3の2つの交流の位相差に逆比例したパルス幅をもつ上記第3のパルス列を発生してなる特許請求の範囲第1項に記載の自動捕速装置。

3 上記第1のプリセットブルカウンタは上記第1の出力パルス列のパルス幅の期間だけ上記パルス発振器の出力パルスをカウントアップして一定値以上のカウントになったとき上記第1の出力を送出し、上記第2のプリセットブルカウンタは上記第2の出力パルスのパルス幅の期間だけ上記パルス発振器の出力パルスをカウントアップして一定値以上のカウントになったとき上記第2の出力を送出し、上記第3のプリセットブルカウンタは上記第3の出力パルスのパルス幅の期間だけ上記パルス発振器の出力パルスをカウントアップして一定値以上のカウントになったとき上記第3の出力を送出してなる特許請求の範囲第1項又は第2項に記載の自動捕速装置。

発明の詳細な説明

本発明は自動捕速装置に関し、特に発電機を系統に並列する場合に発電機の周波数を系統の周波数に合わせるために用いるものである。

従来この種の装置として第1図に示すものがあつた。第1図において、1は交流発電機、2はこの交流発電機1を系統に並列するためのしや断器で、系統側のR-S相間電圧は第1の計器用変圧器(以下PTと呼ぶ)3を介して第1の補助変圧器6に与えられ、また交流発電機1のR-S相間電圧及びS-T相間電圧が第2及び第3の計器用変圧器4及び5を介して第2及び第3の補助変圧器7及び8に与えられる。補助変圧器6は同一電圧を発生する3つの二次巻線6A、6B、6Cを有し、補助変圧器7及び8も同様の2つの二次巻線7A、7B及び8A、8Bを有する。二次巻線6A及び7Aは直列に接続され、この直列回路から系統側のR-S相間電圧と発電機1のR-S相間電圧との差の電圧が第1の整流回路9Aに与えられ、また二次巻線6B及び8Aの直列回路から系統側のR-S相間電圧と発電機1のS-T相間電圧との差の電圧が第2の整流回路9Bに与えら

4

れ、さらに二次巻線6C、7B及び8Bの直列回路から系統側のR-S相間電圧と、発電機1のT-S相間電圧が第3の整流回路9Cに与えられる。

5 第1、第2、第3の整流回路9A、9B、9Cはそれぞれ全波整流ダイオードブリッジ10A、10B、10Cと、平滑用コンデンサ11A、11B、11Cと、抵抗12A、12B、12Cとを含み、バイアス設定用抵抗13によつて正電圧にバイアスされている。整流回路9A、9B、9Cの出力電圧は逆流阻止用ダイオード14A、14B、14C及び入力抵抗15A、15B、15Cを介して互いにリンク接続してなるノア回路25A及び26A、25B及び26B、25C及び26Cでなるフリップフロップ回路27A、27B、27Cにセット入力として与えられる。ここでフリップフロップ回路27Aのノア回路25Aの出力はフリップフロップ回路27B及び27Cのノア回路26B及び26Cに接続され、またフリップフロップ回路27B及び27Cのノア回路26B及び26Cの入力、出力間が互いにインターロック接続されている。

フリップフロップ回路27B及び27Cのノア回路26B及び26Cの出力がそれぞれノア回路29A、30A及び29B、30Bを介して出力回路31A及び31Bに与えられる。出力回路31A、31Bはガバナモータ上げ方向出力リレー32A、ガバナモータ下げ方向出力リレー32Bを有し、フリップフロップ回路26B及び26Cの出力をベース抵抗33A、34A及び33B、34Bを介して受ける駆動用トランジスタ35A及び35Bによつて駆動される。なお36A、36Bはサージ吸収用コンデンサ、37A、37Bは消弧用ダイオードである。

35 かかる構成に加えて発電機のガバナモータを円滑に制御するためにパルス幅パルス間隔制御回路38が設けられ、フリップフロップ回路26B、26Cの出力を受けてノア回路30A、30Bにロック信号を送出し、その後予定のパルス間隔が終了したときフリップフロップ回路27A、27B、27Cにリセット信号を送るようになされている。

ここで第1図のノア回路26A、26B、26Cと、ノア回路29A、30A及び29B、30

5

Bとは第2図bに示すと同様の信号で表わされており、例えば3入力のものとして第2図aに示す如くトランジスタ39のベースに入力抵抗40A、40B、40Cを接続し、コレクタから出力を送出する構成を有するものとする。なお41は

5 ハイアス抵抗、42はコレクタ抵抗である。また第1図のノア回路25A、25B、25Cは第2図cに示すと同様の記号で表わされており、第2図aにおいて入力抵抗40A、40B、40Cを省略して入力を直接トランジスタ39に与えるよ

10 うになされているものとする。
第2図aのノア回路において、入力抵抗40A、40B、40Cのうちの1つ例えば入力抵抗40Aに予定値以上の正の電圧が到来するとトランジスタ39にベース電流が流れてスイッチング

15 し、コレクタ電位が0〔V〕になり、これが出力として送られる。これに対して入力端子のいずれにも正の入力がない場合にはトランジスタ39は非導通となつてコレクタの電位は正電源の電圧となりこれが出力として送られる。かかる動作

20 を以下、「入力が論理「1」が入つたとき出力が「0」となり、入力が「0」が入つたとき出力が「1」になる」と表現する。

第1図の従来の自動揃速装置は次のように動作する。まず第1の補助変圧器6は系統のR-S相間電圧と、発電機のR-S相間電圧との差をとつ

25 てうなり電圧を発生させ、第1の整流回路9Aの全波整流器10Aで整流し、交流分をコンデンサ11Aで吸収し、かくして第3図aに示す如き、うなり周波数の脈動直流電圧波形 V_A を発生させ、これにバイアス設定器13で正のバイアスを加え(第3図aの点線で示す)、谷の部分のみが正となるような出力電圧を作る。従つてノア回路25Aは整流回路9Aの出力が点線0〔V〕より

30 正のとき出力が論理「0」になりこれをフリップフロップ回路27Aの出力として送る。しかるにフリップフロップ回路27Aは一度出力が「0」になるとノア回路26Aの入力が「0」、ノア回路26Aの出力が「1」となる。この出力はノア回路25Aの入力に入っているからその後ダイオード14Aから入る信号が「0」になつたと

35 しても以後この「0」出力を保持することになる。
次に第2の補助変圧器7は同様に系統側のR-S相間電圧と発電機のS-T相間電圧との差をとつてうなりを発生させ、系統の周波数より発電機の周波数が高いとき、第3図bに示すように第3図aの場合より 120° 遅れの脈動電圧 V_B を第2の整流回路9Bから発生する。

さらに第3の補助変圧器8は系統側のR-S相間電圧と発電機のT-R相間電圧の差をとつたと同様のうなりを発生させ、系統の周波数より発電機の周波数が高いとき第3図cに示すように第3図bの場合よりさらに 120° 遅れの脈動電圧 V_C を第3の整流回路9Cから発生する。

やがて一定時間経過後に制御回路 3 8 からノア回路 3 0 A 及び 3 0 B に論理「1」のパルス幅限定信号が入力されるとリレー 3 2 A は動作停止する。

次に第 3 図 c の脈動電圧 V_c の谷がノア回路 2 5 C に到来すると、前述のようにノア回路 2 6 C にノア回路 2 6 B からロック信号が入っているため、ノア回路 2 6 C の出力が「1」になることはなく、リレー 3 2 B は動作しない。

一方ノア回路 2 6 B 及び 2 6 C の出力はパルス幅パルス間隔制御回路 3 8 に与えられ、リレー 3 2 A またはリレー 3 2 B が動作する最初の信号によつてこの制御回路 3 8 を動作させる。制御回路 3 8 はノア回路 3 0 A 及び 3 0 B にロック信号を与えてからパルス間隔を設定制御し、そのパルス間隔が終了したときフリップフロップ回路 2 7 A, 2 7 B, 2 7 C のノア回路 2 6 A, 2 6 B, 2 6 C にリセット信号を送る。

かくしてリセットが完了すると全体として再び最初の状態にもどり、脈動電圧 V_a の到来を待つ待機状態となる。

次に発電機 1 の周波数が低い場合は、脈動電圧 V_a (第 3 図 a) → 脈動電圧 V_c (第 3 図 c) → 脈動電圧 V_b (第 3 図 b) の順序で谷部分が到来する。従つてノア回路 2 5 A の出力が「0」になつた後に、その次にはノア回路 2 5 C に先に「1」が到来し、リレー 3 2 B を動作させると同時にノア回路 2 6 B の出力が「1」になるのをロックする。そこでこのときはリレー 3 2 B により発電機 1 のガバネモータを上げ方向に回転して発電機の周波数を上げ、系統の周波数に一致させるように動作する。なおこのときもパルス幅パルス間隔制御回路 3 8 はリレー 3 2 B が動作したときと同じように動作する。

第 1 図の従来の自動揃速装置はコンデンサ 1 1 A, 1 1 B, 1 1 C が抵抗 1 2 A, 1 2 B, 1 2 C を介して放電されるようになされているため、周波数差が小さい場合は第 4 図の左部に示すようにうまく動作するが、周波数差が大きくなると第 4 図の右部に示すように完全には放電できないようになつてうき上がり、整流回路 9 A, 9 B, 9 C のバイアス設定器 1 3 の正の値を非常に大きくしてやらないとノア回路 2 5 A, 2 5 B, 2 5 C が検出動作をできないという欠点があつた。

またたとえバイアスを大きくしても第 5 図に示すように大きくしすぎるとなり電圧の順番は脈動電圧 $V_a - V_b - V_c$ の順であるにもかかわらず、第 5 図 a の電圧 V_a の谷 E が来てから第 5 図 b の電圧 V_b の谷 F がくるまでに未だ第 5 図 c の電圧 V_c の谷 H が残っている。従つてリレー 3 2 A, 3 2 B が逆に検出してしまうためバイアスがある程度以上深くできないという制約があつた。

この発明は上述のような従来のものの欠点を除去するためになされたもので、位相差を一旦パルス幅に変換したのちこのパルス幅の長さをパルス発振器による高周波パルスの数に変換し、位相差が一定値以上でパルス数が一定値以上であることを検出してパルスを発生させ、このパルスを利用することにより周波数差が小さいときから大きいときまで誤動作がなく、パルス発振器で正確な位相差を検出できるようにしかくして工場調整が不要となる自動揃速装置を提供することを目的としている。

以下第 1 図との対応部分に同一符号を附して示す第 6 図及び第 7 図について本発明の一例を詳述する、系統側計器用変圧器 3 の二次側に得られる第 8 図 BUS に示す如き系統側交流電圧 V_{BUS} は補助変圧器 5 0 を通じて矩形波発生回路 5 1 に与えられる。

矩形波発生回路 5 1 は入力抵抗 5 1 A を介して逆並列接続されたダイオード 5 1 B 及び 5 1 C に接続され、その順方向降下電圧が抵抗 5 1 D を介して入出力間にゼナーダイオード 5 1 E を接続してなる演算増幅器 5 1 F の負端子に与えられる。かくして演算増幅器 5 1 F の出力が矩形波発生回路 5 1 の出力として排他的論理ゲート 5 2 A, 5 2 B, 5 2 C の一方の入力端に送出する。

また発電機側 R-S 相間電圧計器用変圧器 4 の第 8 図 GEN に示す如き出力 V_{GEN} は補助変圧器 7 の一方の二次巻線 7 A から矩形波発生回路 5 3 に与えられる。さらに発電機側 S-T 相間電圧計器用変圧器 5 の出力は補助変圧器 8 の一方の二次巻線 8 B から矩形波発生回路 5 4 に与えられる。これに対して補助変圧器 7 及び 8 の他方の二次巻線 7 B 及び 8 A が互いに接続され、その両端間に得られる T-R 相間電圧が矩形波発生回路 5 5 に与えられる。

矩形波発生回路53、54、55は同様の符号を附して示すように上述の矩形波発生回路51と全く同じ構成を有し、その出力はそれぞれ排他的論理和ゲート52A、52B、52Cの他方の入力端に与えられる。

排他的論理和ゲート52A、52B、52Cの出力A、B、C(第9図a)はそれぞれインバータ57A、57B、57Cによつて反転された出力 \bar{A} 、 \bar{B} 、 \bar{C} (第9図b)としてプリセットブルダウンカウンタ58A、58B、58CのPRESET ENABLE端子に与えられる。これらのダウンカウンタ58A、58B、58CはPRESET ENABLE端子に論理「1」の入力が与えられたときプリセット信号 PR_A 、 PR_B 、 PR_C をそれぞれ読み、その後PRESET ENABLE端子が論理和「0」になったときCLOCK端子に2進カウンタ50を介して水晶発振器構成のパルス発振回路60から到来するクロック信号CLをプリセット値 PR_A 、 PR_B 、 PR_C からダウンカウントするようになされている。(第9図c)。かくしてプリセットブルカウンタ58A、58B、58Cはそのカウント内容が零になると、CARRY OUT端子から論理「0」レベルの出力パルス W_A 、 W_B 、 W_C を発生させる。(第9図d)。

プリセットブルカウンタ58A、58B、58Cの出力はそれぞれナンド回路62A及び63A、62B及び63B、62C及び63Cでなる直結R-Sフリップフロップ回路64A、64B、64Cにセット入力として与えられる。フリップフロップ回路64Aのセット出力は第1図について上述したと同様にフリップフロップ回路64B及び64Cにリセット入力として与えられる。このフリップフロップ回路64B及び64Cは第1図について上述したと同様に相互にインターロックループを有し、出力をそれぞれナンド回路65A及び65B、66A及び66B、CMOS構成のインバータ57A及び67Bを介して出力回路68A及び68Bに与えられる。

この場合も第1図について上述したと同様に、フリップフロップ回路64B及び64Cの出力がパルス幅パルス間隔制御回路70に与えられ、その出力によつてナンド回路66A及び66Bをロックした後に、フリップフロップ回路64A、64B、64Cをリセットするようになされてい

る。

次に第6図及び第7図の構成の動作を述べる。系統側計器用変圧器3の出力電圧 V_{BUS} (第8図BUS)についてその×印側端が正極性のとき電流は抵抗51Aとダイオード51Cを通つて流れ、抵抗51Dの入力端にはダイオード51Cの順方向降下電圧が印加される。この電圧を演算増幅器51Fに与えるので演算増幅器51Fは負の出力を出そうとするが、入出力間にはゼナーダイオード51Eが入っているためリミットされ、ゼナーダイオード51Eの順方向降下電圧(-0.3(V)~-0.5(V))分の零に近い大きさの出力が送出される。

これに対して計器用変圧器3の×印側端が負極性のとき電流はダイオード51Bと抵抗51Aを通つて流れ、抵抗51Dの入力側端にはダイオード51Bの順方向降下電圧が負の値となつて印加される。このとき演算増幅器51Fは正の出力を送出するが、その最大値は入力間に介挿されたゼナーダイオード51Eのゼナー電圧によりリミットされる。このようにして矩形波発生回路51は入力交流が正のとき零に近い値(-0.3~-0.5V)となり、負のときは正の矩形波 S_a を発生する。

以上に系統側矩形波発生回路51の動作について述べたがこれと同じ構成を有する発電機側矩形波発生回路53、54、55も同じ様にして動作し、かくして発電機1のR-S相間電圧、S-T相間電圧、T-R相間電圧が正のとき零に近い値となり、負のとき正となる矩形波 S_a 、 S_b 、 S_c を発生する。

かくして系統側矩形波発生回路51にて発生された矩形波出力 S_a は排他的論理和ゲート52A、52B、52Cに一方の入力として与えられ、またR-S相、S-T相、T-R相の発電機側矩形波発生回路53、54、55にて発生された矩形波出力 S_a 、 S_b 、 S_c がそれぞれ対応する排他的論理和ゲート52A、52B、52Cに他方の入力として与えられる。ここで排他的論理和ゲート52A、52B、52Cは2入力と同じ論理レベルのとき(すなわち共に「1」又は「0」のとき)論理「0」出力を発生し、これに対して異なる論理レベルのとき(すなわち「1」及び「0」又は「0」及び「1」のとき)論理

「1」出力を発生する。そこで、系統側矩形波発生回路51に第8図BUSに示すような正弦波電圧 V_{BUS} が与えられたとき、発電機側R-S相矩形波回路53に第8図GENに示すような正弦波電圧 V_{GEN} が与えられたとき、排他的論理和ゲート52Aからは第8図aに示すようなR-S相のパルス波形出力Aが得られる。同様にして発電機側S-T相矩形波回路54の出力に基づいて第8図bに示すようにR-S相パルス波形出力A(第8図a)より 120° 位相が遅れたS-T相のパルス波形出力Bが得られ、また発電機側T-R相矩形波回路55の出力に基づいて第8図cに示すようにS-T相のパルス波形出力B(第8図b)よりさらに 120° 位相が遅れたパルス波形出力Cが得られる。

R-S相、S-T相、T-R相パルス波形出力A、B、Cはインバータ57A、57B、57Cによつて反転され、その出力 \bar{A} 、 \bar{B} 、 \bar{C} がそれぞれダウンカウンタ58A、58B、58CのPRESET ENABLE端子に与えられる。このダウンカウンタ58A、58B、58CはPRESET ENABLE端子に与えられたパルス波形出力 \bar{A} 、 \bar{B} 、 \bar{C} が「1」になつたときプリセット信号 PR_A 、 PR_B 、 PR_C の値を読み込み、この状態から「0」になるとプリセットされた値からCLOCK

端子に到来するクロックパルスCLの数だけ差し引いてカウンタ58A、58B、58Cをカウントダウンさせる。やがてダウンカウンタ58A、58B、58Cの内容が零になると、CARRY OUT端子から論理「0」の出力パルスA1、B1、C1を発生させる。

この関係を第9図を用いてさらに説明するに、例えばR-S相の排他的論理和ゲート52Aの出力Aが第9図aのようになれば、これをインバータ57Aで反転した第9図bに示す出力 \bar{A} がカウンタ58Aに与えられる。ここでインバータ57Aの出力が「1」のときカウンタ58Aにプリセット信号 PR_A によつて予め定められた値にセットされる。その後インバータ57の出力が「0」になると、水晶発振器60で発生したパルスが2進

パルスが到来することに低下して行くが、第9図cに示す如く「0」の期間が短かい時は零まで下がらない前にPRESET ENABLE端子が「1」に戻るため、再びカウンタ58Aは予め定められた値にセットされる。しかし位相差が増加して、パルス幅がある値を越すと零カウントまで低下してしまうのでCARRY OUT端子に第9図dに示す如き論理「0」のパルスA1が発生される。

R-S相の排他的論理和ゲート52A及びカウンタ58Aの動作は、S-T相の排他的論理和ゲート52B及びカウンタ58B、並びにT-R相の排他的論理和ゲート52C及びカウンタ58Cにおいても同様に実行される。すなわちS-T相及びT-R相のカウンタ58B及び58Cからも同様の論理「0」のパルスB1及びC1(第9図d)が送出される。

ここで第8図a1、b1及びc1のパルスA1、B1及びC1のパルス幅の最大値は50(Hz)のとき

$$\frac{1}{50} \times \frac{1}{2} = 10 \text{ (msec)} \quad \dots\dots(1)$$

となり、60(Hz)のとき

$$\frac{1}{60} \times \frac{1}{2} = 8.33 \text{ (msec)} \quad \dots\dots(2)$$

となる。

ところでパルスA1、B1及びC1の論理「0」の立下りが発生する区間は位相差 180° を中心にしてプラス、マイナス 60° 以下にしないと誤動作が発生する。またさらに50(Hz)系統と60(Hz)系統とに共用しようとするときパルス幅は50(Hz)では10(msec)~6.666(msec)(180° ~ 120° 相当)、60(Hz)では8.333(msec)~5.555(msec)(180° ~ 120° 相当)となり、50(Hz)、60(Hz)の両方が誤動作しないパルス幅は8.333(msec)~6.666(msec)の間を検出すればよいことになる。すなわち $7.5 \text{ (msec)} \pm 0.833 \text{ (msec)}$ の正確なタイマが必要となるこのときの精度は $\frac{0.833 \text{ (msec)}}{7.5 \text{ (msec)}} = 0.111$ であり、精度は11%

以下とすることが望ましい。しかしこれをコンデンサCと抵抗RとでなるC-Rの時定数を利用したタイマで実現しようとするとき、コンデンサCは通常国内では $\pm 10\%$ の誤差のものしかなく、また抵抗も普通は $1 \sim 2\%$ 程度のものを使用

しており、さらにこれを検出するレベル検出器の誤差を考えた場合抵抗は精密抵抗を使用しても、ぎりぎりいつばいの精度となる。

以上の理由によつてパルス発振回路60として水晶発振器を用いれば 10^{-3} ぐらいの精度が確保できこのパルスの数でパルス幅を測定すれば、非常に精度のよいタイマが実現できる。

故に水晶発振器のタイマを用いれば余裕をもつて誤動作のない50〔Hz〕及び60〔Hz〕の系統に共用のできる自動揃速装置を提供でき、また精度がよいため工場調整の必要をなくし得る。

さらに説明を進めると、発電機1の周波数が高い場合カウンタ58A~58Cからは出力パルスA1(第8図a1)→B1(第8図b1)→C1(第8図c1)がその順番で送出され、逆に発電機1の周波数が低い場合はA1(第8図a1)→C1(第8図c1)→B1(第8図b1)の順序で送出される。

第7図の直結R-Sフリップフロップ回路64Aにおいてまず第8図a1のパルスA1の立下り20でナンド回路62Aの出力は「1」となる。このときフリップフロップ回路64B及び64Cのナンド回路63B及び63Cの出力は「1」となっており、インバータ67A及び67Bの出力は共に「0」であり、トランジスタ35A及び35Bは共にカットオフとなつてリレー32A、32Bはともに動作しない。

次に第8図b1のパルスB1の立下りでナンド回路62Bの出力は「1」、ナンド回路63Bの出力が「0」となり、ナンド回路63Aの出力は「1」、ナンド回路66Aの出力は「0」、インバータ67Aの出力は「1」となり、トランジスタ35Aにベース電流が流れてスイッチングし、リレー32Aが動作する。一定時間後にパルス幅パルス間隔制御回路38からリセット信号が出てナンド回路66Aの出力を「1」にしてリレー32Aを不動作にすると共に、パルス幅間隔制御回路38に信号を与える。パルス間隔が終了するとナンド回路63A、63B、63Cに「0」のリセットパルスを入れてフリップフロップ回路をリセットする。リセットされると初期状態にもどり、その後生ずるパルスA1が来て、次にパルスB1がくるか、又はパルスC1がくるかが再検出される。

なおパルスA1の次にパルスB1が来るとナンド回路63Bの「0」出力がナンド回路63Cの入力端に入っているためパルスB1の次にパルスC1の「0」パルスが入つても、リレー32Bは、動作しない。逆にパルスA1の次にパルスC1が来てリレー32Bが動作しているときは、ナンド回路63Cの「0」出力がナンド回路63Bの入力端に入っているためパルスC1の次にパルスB1に「0」パルスが来てもリレー32Aは動作せず、相互にインタロックされており、かくして先に来た方を優先し後から来たパルスはロックされる。なお上記実施例では位相差とパルス幅が比例するパルス列をつくるような場合について説明をしたが、インバータ57A~57Cを取りはずすか、又は計器用変圧器3の極性を反転するか補助トランス50の極性を反転することにより、位相差が零付近で第8図a1, b1, c1の「0」パルスを発生させる(換言すれば逆比例するパルス列をつくる)ようにしても上述の実施例と同様の効果を得ることができる。またカウンタ58A~58Cはカウントダウンするものを用いているがカウントアップするカウンタを用いてその最終段の出力を用いるようにしても同様の効果を得ることは明らかである。

以上のように本発明によれば、うなり脈動電圧の代りに位相差をパルス幅変換し、このパルス幅が一定値以上であることをパルス発振器の高周波パルス数で検出すると共に、そのパルス幅の大きくなる相順を検出して相順の検出に基いて発電機の原動機に上げまたは下げパルスを送出するようにしたので、自動揃速装置として、周波数差が非常に大きくても確実に動作し、50〔Hz〕、60〔Hz〕の両周波数に対して工場調整をしないでも使用できるため安価に製作できる効果がある。

35 図面の簡単な説明

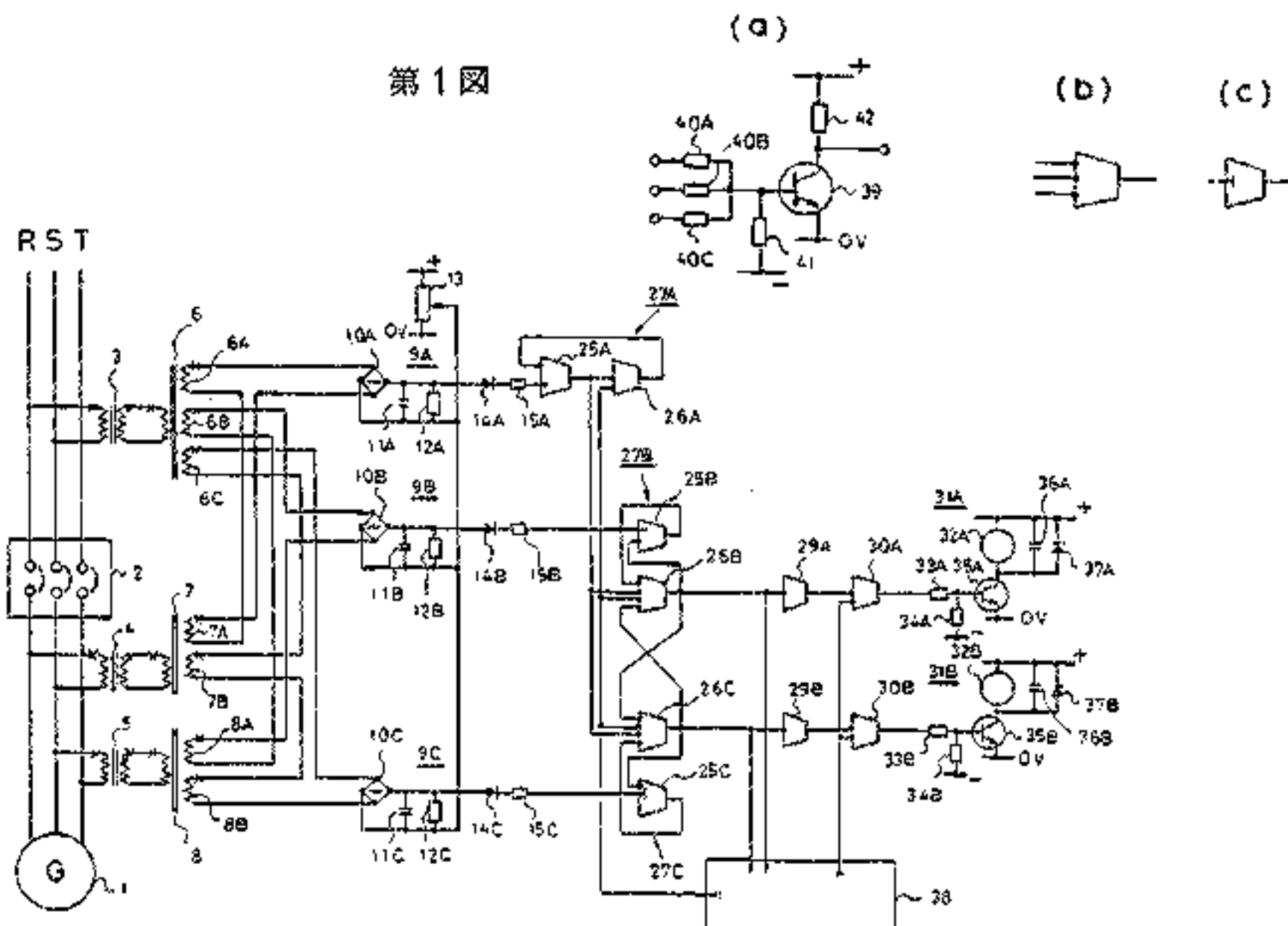
第1図は従来の自動揃速装置を示すブロック図、第2図a~cはそのノア回路を示す略線図、第3図a~c、第4図、第5図a~cは第1図の動作の説明に供する信号波形図、第6図及び第7図は本発明に依る自動揃速装置の一例を示すブロック図、第8図BUS~c1、第9図a~dはその動作の説明に供する信号波形図である。

1……発電機、2……しや断器、3~5……計器用変圧器、6~8……補助変圧器、9A~9C

……整流回路、27A~27C……フリップフロップ回路、31A, 31B……出力回路、38……パルス幅パルス間隔制御回路、50……補助変圧器、51~55……整流回路、52A~52C

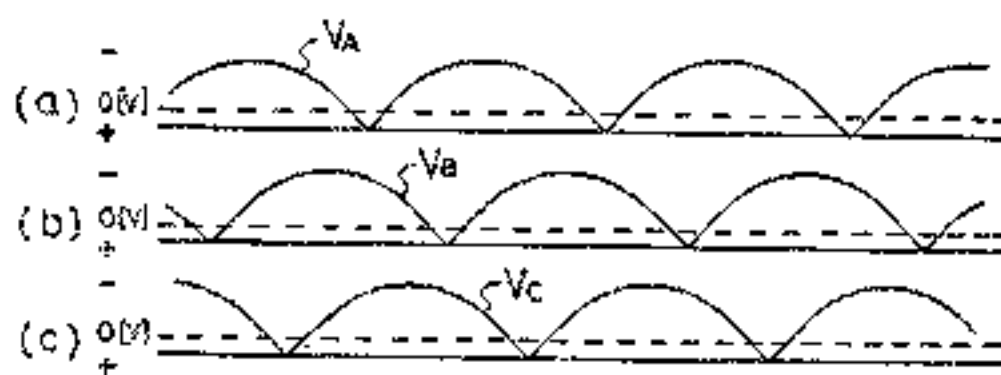
……排他的論理和ゲート、58A~58C……プリセットブルカウンタ、64A~64C……フリップフロップ回路、31A, 31B……出力回路。

第2図

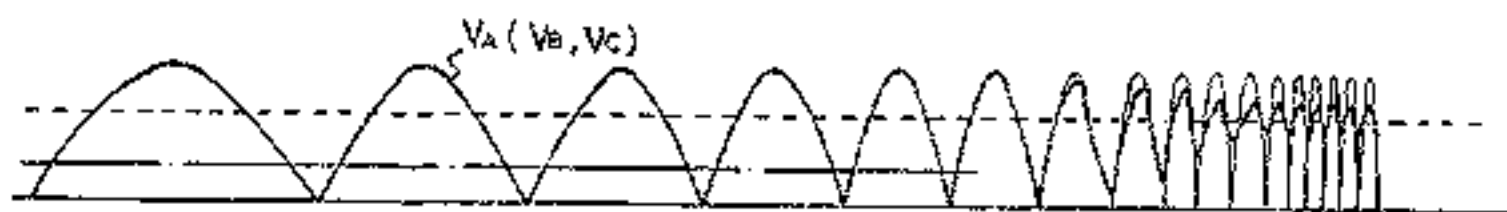


第1図

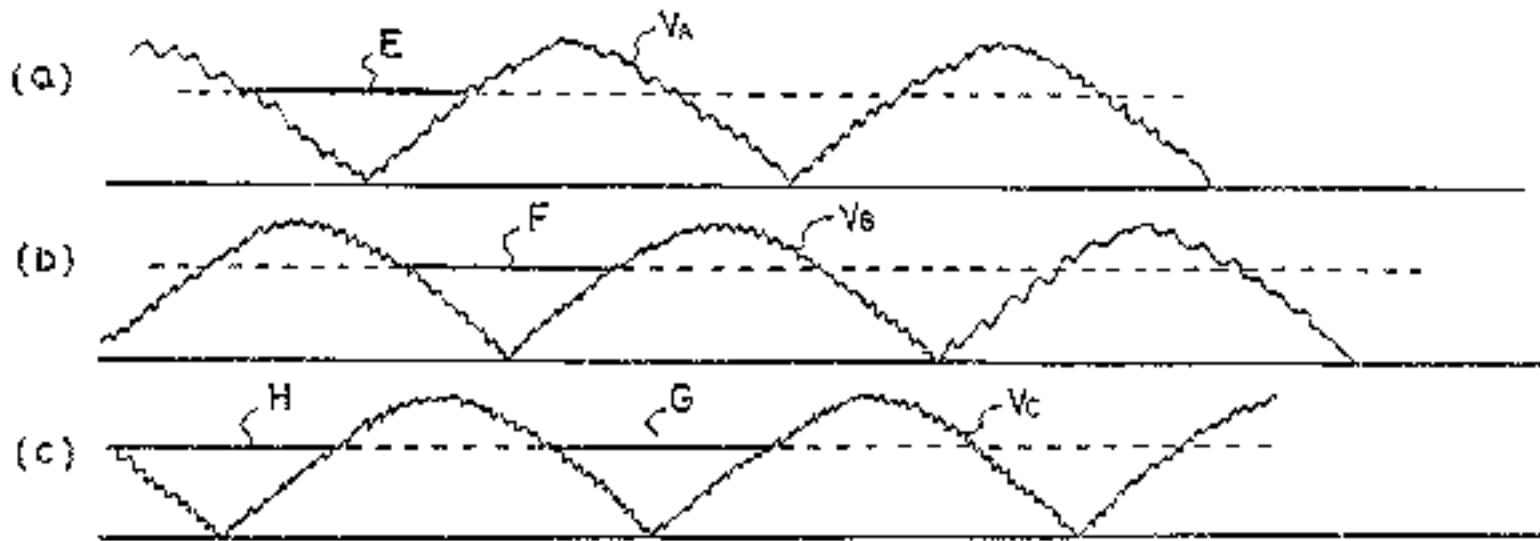
第3図



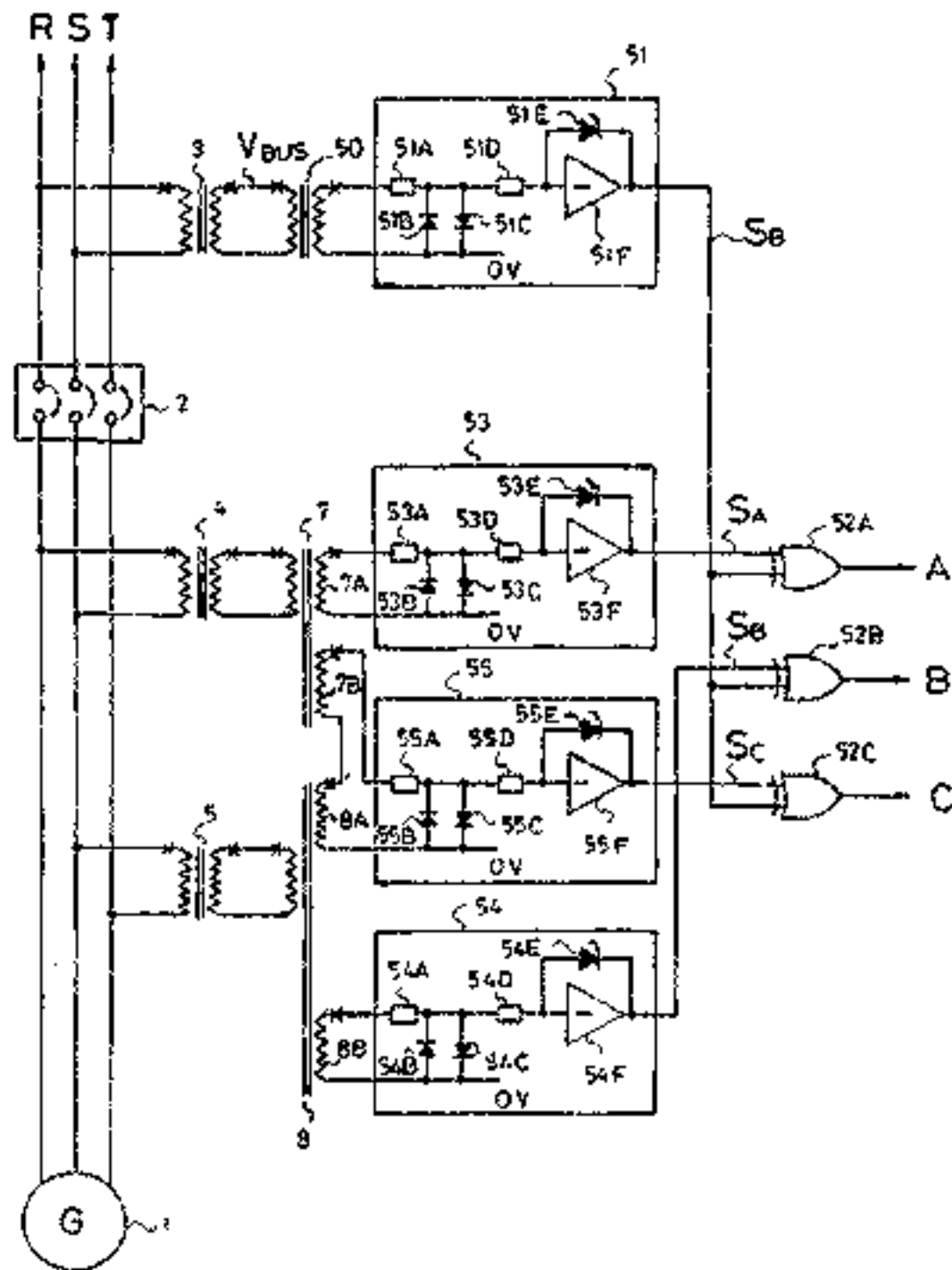
第4図



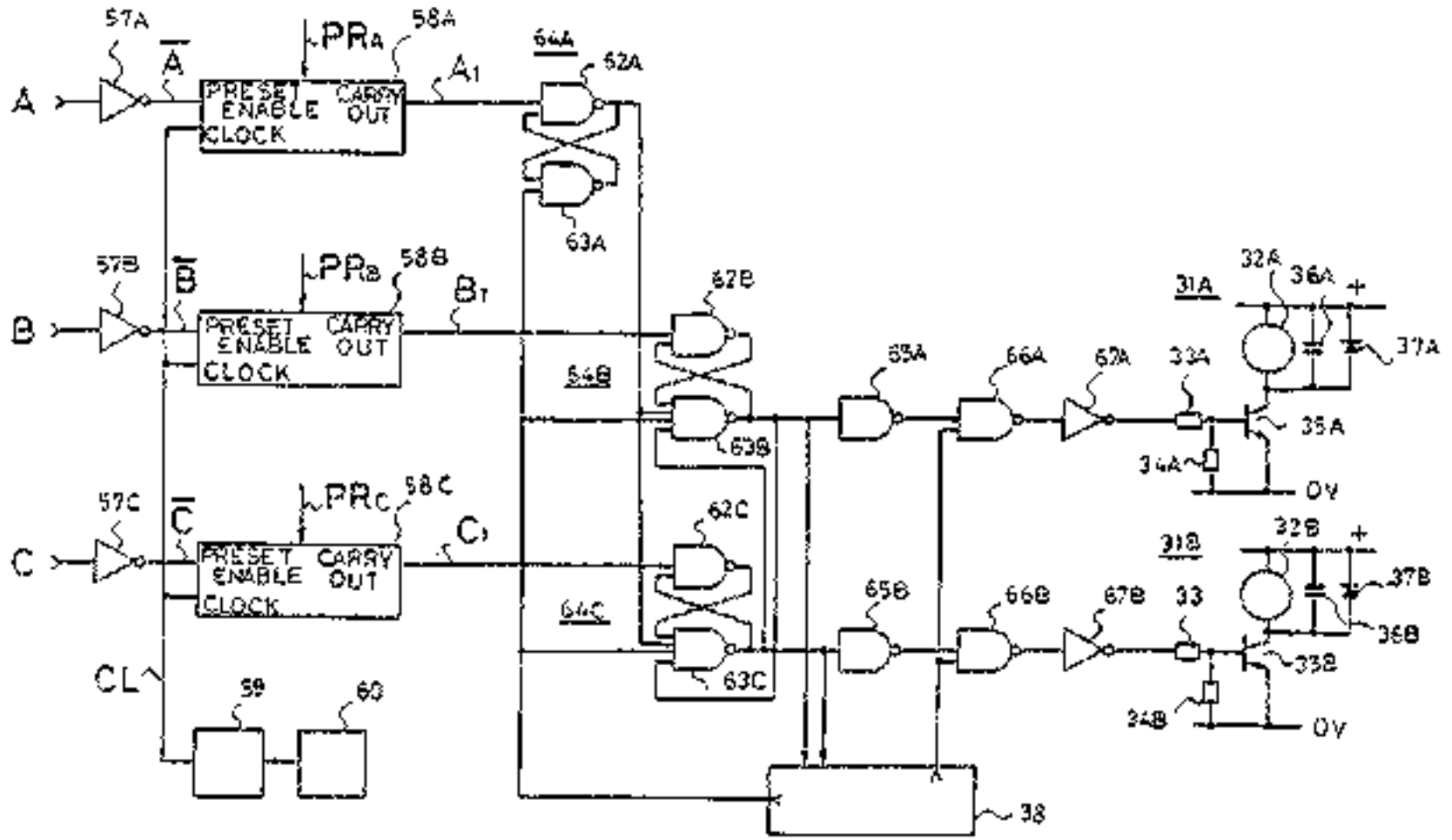
第 5 图



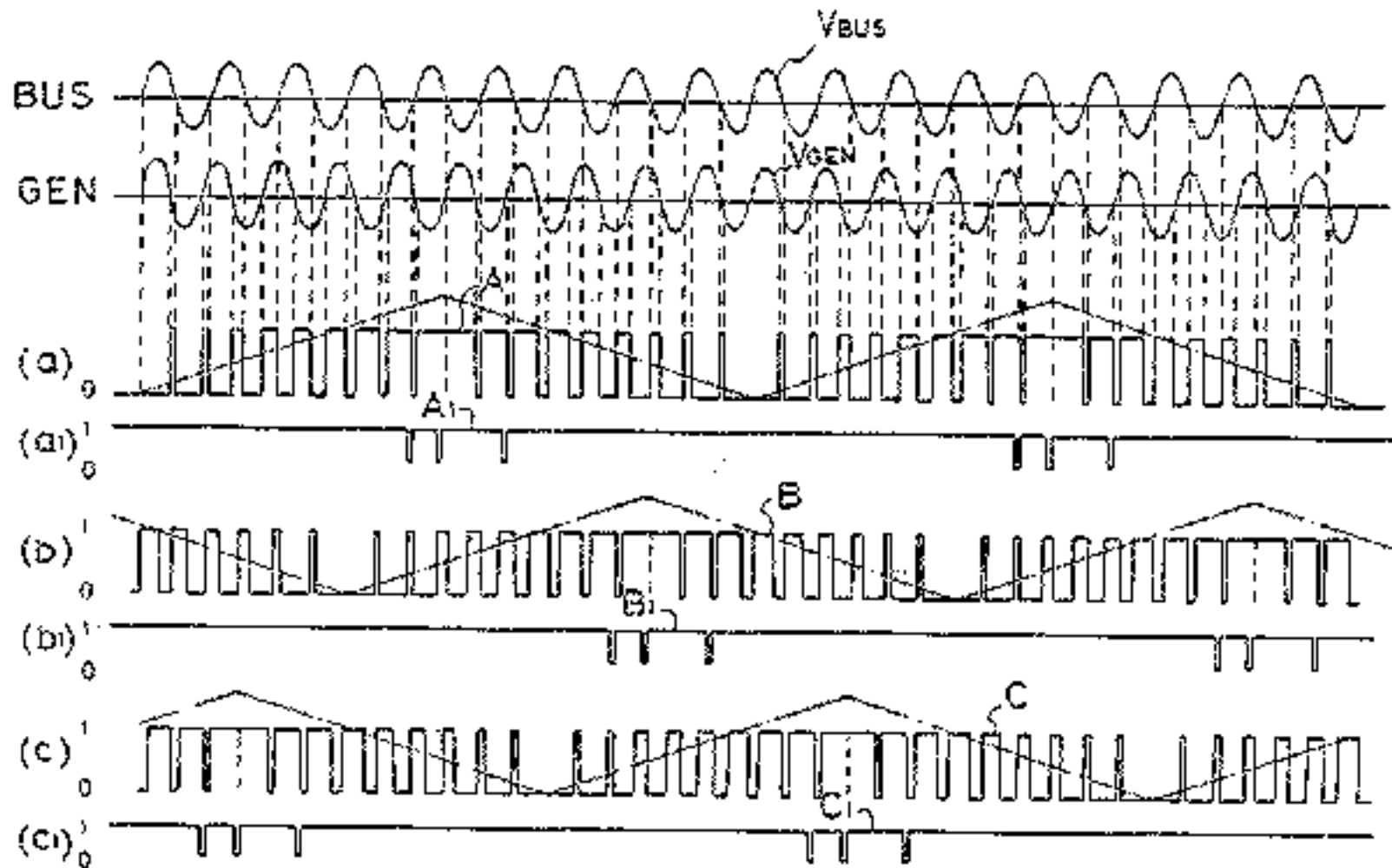
第 6 图



第 7 图



第 8 图



第 9 図

