

⑫ 特許公報(B2)

昭61-48296

⑥ Int. Cl.⁴
H 03 K 23/58

識別記号 庁内整理番号
6749-5J

②④公告 昭和61年(1986)10月23日

発明の数 1 (全9頁)

⑧ 発明の名称 リミッタ装置

審判 昭60-17674

⑨ 特 願 昭52-25152

⑬ 公 開 昭53-109465

⑭ 出 願 昭52(1977)3月7日

⑮ 昭53(1978)9月25日

⑯ 発 明 者 大 蔵 勲 神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社 制御製作所内

⑰ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑱ 代 理 人 弁理士 大岩 増雄 外2名

審判の合議体 審判長 加藤 貴士 審判官 吉田 文雄 審判官 飯高 勉

⑲ 参 考 文 献 特開 昭50-10548 (JP, A) 特開 昭48-17254 (JP, A)

Digital Computer Design Fundamentals, McGraw - Hill Book Company, Inc. © 1962, Yuohan Chu著 p.465-469

1

2

⑳ 特許請求の範囲

1 一対のゲートから供給されるパルスによりそれぞれアップカウント及びダウンカウントするカウンタと、このカウンタのカウント出力をアドレス信号とした複数のリードオンリメモリと、上記各リードオンリメモリから読み出されたデータ間の論理的な一致結果に従って上記ゲートのいずれか一方を付勢して上記カウンタの上限値、下限値を制御する信号を発生するとともに、カウンタのカウント値に応じた制御信号を発生する信号処理回路とを備えたりミッタ装置。

発明の詳細な説明

この発明は各種産業用制御装置に使用されるカウンタの上限、下限等を設定された値に制限するリミッタ装置に関するものである。

従来この種装置として第1図に示すものがあつた。

第1図はリミッタ値が8点の場合につき示しており、図に於て、1a~1cはカウンタ、2aはリミッタ値設定器、3aは設定値とカウンタ1a~1cとの一致検出器であり、一致すれば出力信号を送出する。2b~2hのリミッタ値設定器及び3b~3hの一致検出器の場合も同様に動作する。4は信号処理回路であり、上記8点のそれぞれの信号を用途に応じカウンタ入力ゲート5、6

への信号および図示しない他の装置のリミッタ信号および一致信号に使用する。

第1図は各種機械位置、例えば弁開度等を制御する場合の構成であり、UP入力端子またはDN入力端子より弁を開または閉の要求速度に比例したパルス信号を与え、カウンタ1a~1cのカウント値を図示しないD/A変換装置等を通して弁駆動装置に与え、カウンタ1a~1cに比例した弁開度に設定する。

いま弁が0~100%作動する場合、カウンタ1a~1cが0の時弁開度0%、カウンタ1a~1cの値4095の時弁開度100%とすると、リミッタ値設定器2aを0とし、カウンタ1a~1cはこの0と一致検出器3aにより比較検出され信号処理回路4の入力1に接続されている。その信号を出力端子DNより出力し、それによりDNゲート6のゲートを閉じることにより、弁下限リミッタとすることができる。

またリミッタ値設定器2hを4095とし、カウンタ1a~1cはこの4095と一致検出器3hにより比較検出され信号処理回路4の入力8に接続されている。その信号を出力端子UPより出力し、それによりUPゲート5のゲートを閉じることにより、弁上限リミッタとすることができる。

またリミッタ値設定器2b~2gにそれぞれ別

途装置に必要な弁開度を設定することにより、信号処理回路4の出力として一致信号を得ることができる。

リミッタ値設定器2aのスイッチ7は12個より構成されており、それぞれカウンタ1a~1cの5ビットに対応している。一致検出器3aのエクスクルージブOR8はそれぞれの2入力等しい時のみ出力を出す回路である。

すなわちカウンタ1a~1cの出力とスイッチ7の出力が等しい時のみ信号を出す。その信号はAND回路9に入力されており、12ビットのすべてが一致したとき、一致検出器3aは出力を送出する。残り7回路についても同様である。

従来のリミッタ装置は第1図に示す如く、8回路分でエクスクルージブORを $12 \times 8 = 96$ 回路分、またANDを8回路分要し、多くの部品数を必要とするため、信頼性が悪くなり、またカードスペースが多くなつてカウンタとリミッタ装置を別カードにする等の不便を生じていた。

この発明は上記のような従来のものの欠点を除去するためなされたものであり、リミッタ値設定器および一致検出器としてROM、例えば256ビットプログラマブルROM (Read only Memory: リードオンリメモリ) を使用し、リミッタ値設定器および一致検出器に相当する部分を256ビットROMのICチップ3ヶで達成したことにある。これによりカウンタ部分とリミッタ装置を同一カード内に収容することができ、部品数の減少による信頼性向上ならびにコストダウンが期待できる。

以下この発明の一実施例を図について説明する。第2図に於て第1図と同一符号は同一部分を示す。11a~11cはプログラマブルROM (以下P-ROMと記す) である。第3図はP-ROM 11a~11cの1個分ブロック図を示す。アドレス入力A₀~A₄に番地指示することにより、この番地に前もつて記憶されているメモリデータが出力1~8に8ビット分読出される。添付の第1表はリミッタ装置の設定値とカウンタ1a~1cのビットとの対応表である。

第2図の動作を第1図と同様弁開度制御に使用する場合につき説明する。UP入力端子またはDN入力端子より弁を開または閉の要求速度に比例したパルス信号を与え、カウンタ1a~1cのカウント値を図示しないD/A変換装置を通して弁駆

動装置に与え、カウンタ1a~1cに比例した弁開度に設定する。

今弁が0~100%作動する場合、カウンタ1a~1cが0の時弁開度は0%、カウンタ1a~1cの値4095時弁開度100%とすると、第2図P-ROM 11aの00000番地、11bの00000番地、11cの00000番地のメモリの値を“H”にしておくことによりカウンタ1a~1cの値がすべて“L”になつた時、信号処理回路4の入力1に信号が入力される。

P-ROM 11aの11111番地、11bの11111番地、11cの00011番地のメモリの値を“H”にしておくことによりカウンタ1a~1cの値がすべて“H”になつた時、信号処理回路4の入力8に信号が入力される。

以上の信号処理回路の1の信号によりDN入力ゲートを閉じることにより、カウンタ11a~11cの下限リミッタとして働く。信号処理回路の8の信号によりUP入力ゲート閉じることにより、カウンタ11a~11cの上限リミッタとして働く。

第1表に弁開度0~100%の間の種々の値の時に信号出力を出す場合の例を示している。設定0が弁開度0%、設定4095が100%であり、その間の値は比例配分となる。

添付の第2表~第4表はP-ROM 11a~11cのそれぞれに対するメモリデータ表を示している。

今カウンタ11a~11cの下限リミッタ0の時第1表より1~2048ビットがすべて0であるので第2表アドレス0の出力1のメモリデータは1であり、第3表アドレス0出力1のメモリデータは1であり、第4表アドレス0出力1のメモリデータは1である。従つて第2図P-ROM 11a~11cの出力1のワイヤードAND出力はP-ROM 11a~11cの出力1の出力がすべて1すなわち“H”であるので信号処理回路入力1は“H”すなわち1となる。この信号によりDN入力ゲートを閉とする様に回路を組むことに下限リミッタとして動作する。

カウンタ11a~11cの上限リミッタ4095の時第1表より1~2048ビットすべて1であるので第2表アドレス31の出力8のメモリデータは1であり、第3表アドレス31の出力8のメモリデ

ータは1であり、第4表アドレス3の出力8のメモリデータは1である。従つて第2図P-ROM 11a~11cの出力8のワイヤードAND出力はP-ROM 11a~11cの出力8の出力がすべて1すなわち“H”であるので信号処理回路入力8は“H”すなわち1となる。この信号によりUP入力ゲートを閉とする様に回路を組むことにより上限リミッタとして動作する。

カウンタ11a~11cの途中の一致データP-ROM出力2~7を信号として取り出す場合、今カウンタの値が2820になつた時の信号を取り出す場合につき説明する。

カウンタのビットは第1表の出力4の如くなるので、P-ROM 11cのA₁, A₀の値が1, 0の時第4表アドレス2出力4のメモリデータが1である。P-ROM 11bのA₄~A₀の値が11000の時第3表よりアドレス24出力4のメモリデータが1である。

P-ROM 11aのA₄~A₀の値が00100の時第2表よりアドレス4の出力4のメモリデータは1である。

従つて第2図P-ROM 11a~11cの出力4の出力がすべて1すなわち“H”であるので信号処理回路入力4は“H”すなわち1となる。この信号を出力することにより目的を達せられる。

P-ROMはメモリの値を自由に読むことができるので第1表に示すばかりでなく任意の8種類の設定値を作ることができる。

以上の説明ではカウンタの値が設定値に一致した時にカウンタの入力をゲートする装置について説明したが、今例えば信号処理回路出力5カウンタ値3180の一致信号すなわち弁開度77.6% ($\frac{3180}{4095} = 0.776$)以上でかつその弁により制御されている負荷例えば油圧モータやタービン発電機の回転数が一定回転以上の場合は弁開度をそこで止める場合の様な使用の場合、カウンタ3180の一致信号と回転数信号のAND信号によりカウンタ入力ゲートにリミット設定を行う等、カウンタの値の一致信号と別途制御信号の合成信号によるリミット装置も当然考えられる。

以上のようにこの発明によれば3個の256ビットのP-ROMにより8回路のリミッタ装置を作ることができ、従来方法に比し、部品数が減少し信頼性が上ると同時に、カードスペースが少なくなり、カウンタと同一カードに収容することができるため、システムの小型化に役立つ。

図面の簡単な説明

第1図は従来のリミッタ装置を示す構成図、第2図は本発明の一実施例を示す構成図、第3図はこの発明に用いられるP-ROMの構成図である。1a~1cはカウンタ、4は信号処理回路、5, 6はゲート、11a~11cはP-ROMを示す。

なお各図中同一符号は同一または相当部分を示す。

第 1 表

出力	設定	2048	1024	512	256	128	64	32	16	8	4	2	1
1	0	0	0	0	0	0	0	0	0	0	0	0	0
2	20	0	0	0	0	0	0	0	1	0	1	0	0
3	115	0	0	0	0	0	1	1	1	0	0	1	1
4	2820	1	0	1	1	0	0	0	0	0	1	0	0
5	3180	1	1	0	0	0	1	1	0	1	1	0	0

7

8

出力 設定	ビット	2048	1024	512	255	128	64	32	16	8	4	2	1
		6	3500	1	1	0	1	1	0	1	0	1	1
7	4000	1	1	1	1	1	0	1	0	0	0	0	0
8	4095	1	1	1	1	1	1	1	1	1	1	1	1

第 2 表

アドレス (8進)	入 力					出 力							
	16	8	4	2	1	1	2	3	4	5	6	7	8
	A ₄	A ₃	A ₂	A ₁	A ₀								
0	0	0	0	0	0	1	0	0	0	0	0	1	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
2	0	0	0	1	0	0	0	0	0	0	0	0	0
3	0	0	0	1	1	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	1	0	0	0	0
5	0	0	1	0	1	0	0	0	0	0	0	0	0
6	0	0	1	1	0	0	0	0	0	0	0	0	0
7	0	0	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	0	0	0	0	0	0	0	0	0	0
9	0	1	0	0	1	0	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0	0	0
11	0	1	0	1	1	0	0	0	0	0	0	0	0
12	0	1	1	0	0	0	0	0	0	1	1	0	0
13	0	1	1	0	1	0	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0	0	0
15	0	1	1	1	1	0	0	0	0	0	0	0	0
16	1	0	0	0	0	0	0	0	0	0	0	0	0
17	1	0	0	0	1	0	0	0	0	0	0	0	0
18	1	0	0	1	0	0	0	0	0	0	0	0	0
19	1	0	0	1	1	0	0	1	0	0	0	0	0
20	1	0	1	0	0	0	1	0	0	0	0	0	0

アドレス (8進)	入 力					出 力							
	16	8	4	2	1	1	2	3	4	5	6	7	8
	A ₄	A ₃	A ₂	A ₁	A ₀								
21	1	0	1	0	1	0	0	0	0	0	0	0	0
22	1	0	1	1	0	0	0	0	0	0	0	0	0
23	1	0	1	1	1	0	0	0	0	0	0	0	0
24	1	1	0	0	0	0	0	0	0	0	0	0	0
25	1	1	0	0	1	0	0	0	0	0	0	0	0
26	1	1	0	1	0	0	0	0	0	0	0	0	0
27	1	1	0	1	1	0	0	0	0	0	0	0	0
28	1	1	1	0	0	0	0	0	0	0	0	0	0
29	1	1	1	0	1	0	0	0	0	0	0	0	0
30	1	1	1	1	0	0	0	0	0	0	0	0	0
31	1	1	1	1	1	0	0	0	0	0	0	0	1
						0	20	115	2820	3180	3500	4000	4095

第 3 表

アドレス	入 力					出 力							
	512	256	128	64	32	1	2	3	4	5	6	7	8
	A ₄	A ₃	A ₂	A ₁	A ₀								
0	0	0	0	0	0	1	1	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
2	0	0	0	1	0	0	0	0	0	0	0	0	0
3	0	0	0	1	1	0	0	1	0	1	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0	0	0
5	0	0	1	0	1	0	0	0	0	0	0	0	0
6	0	0	1	1	0	0	0	0	0	0	0	0	0
7	0	0	1	1	1	0	0	0	0	0	0	0	0
8	0	1	0	0	0	0	0	0	0	0	0	0	0
9	0	1	0	0	1	0	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0	0	0
11	0	1	0	1	1	0	0	0	0	0	0	0	0

アドレス	入 力					出 力							
	512	256	128	64	32	1	2	3	4	5	6	7	8
	A ₄	A ₃	A ₂	A ₁	A ₀								
12	0	1	1	0	0	0	0	0	0	0	0	0	0
13	0	1	1	0	1	0	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	1	0	0
15	0	1	1	1	1	0	0	0	0	0	0	0	0
16	1	0	0	0	0	0	0	0	0	0	0	0	0
17	1	0	0	0	1	0	0	0	0	0	0	0	0
18	1	0	0	1	0	0	0	0	0	0	0	0	0
19	1	0	0	1	1	0	0	0	0	0	0	0	0
20	1	0	1	0	0	0	0	0	0	0	0	0	0
21	1	0	1	0	1	0	0	0	0	0	0	0	0
22	1	0	1	1	0	0	0	0	0	0	0	0	0
23	1	0	1	1	1	0	0	0	0	0	0	0	0
24	1	1	0	0	0	0	0	0	1	0	0	0	0
25	1	1	0	0	1	0	0	0	0	0	0	0	0
26	1	1	0	1	0	0	0	0	0	0	0	0	0
27	1	1	0	1	1	0	0	0	0	0	0	0	0
28	1	1	1	0	0	0	0	0	0	0	0	0	0
29	1	1	1	0	1	0	0	0	0	0	0	0	0
30	1	1	1	1	0	0	0	0	0	0	0	0	0
31	1	1	1	1	1	0	0	0	0	0	0	0	1
						0	20	115	2820	3180	3500	4000	4095

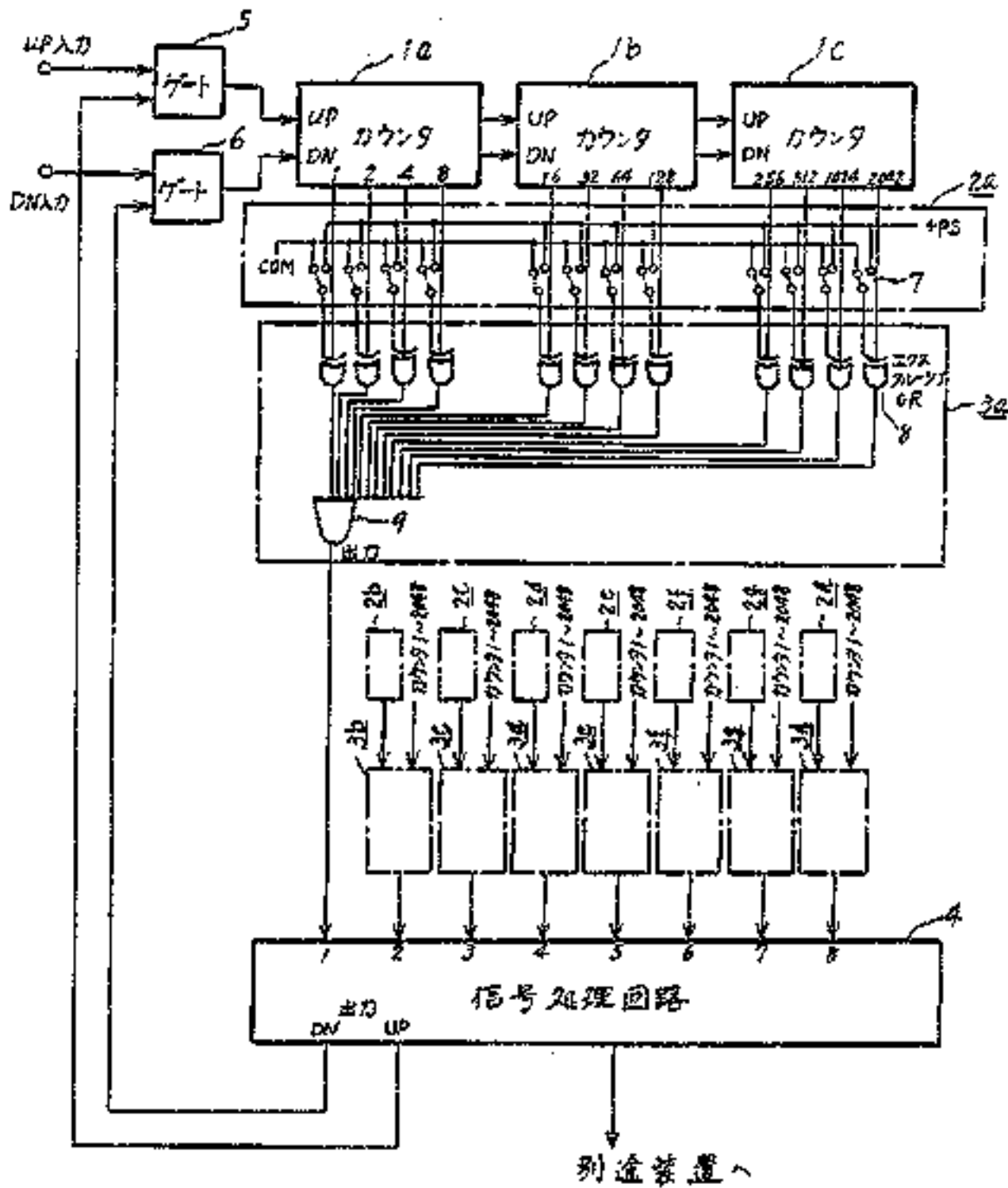
第 4 表

アドレス	入 力					出 力							
				2048	1024	1	2	3	4	5	6	7	8
	A ₄	A ₃	A ₂	A ₁	A ₀								
0	0	0	0	0	0	1	1	1	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0

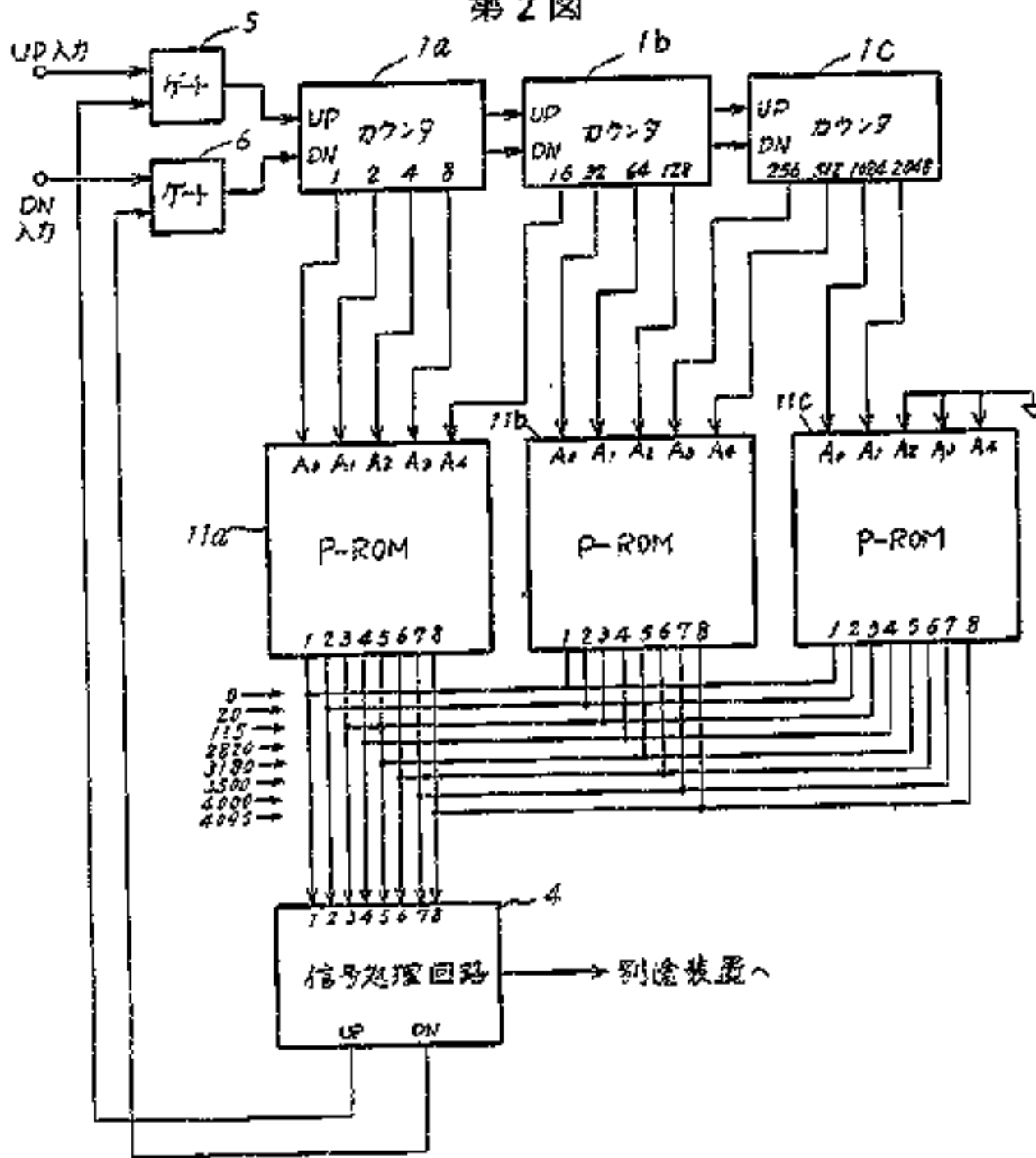
アドレス	入 力					出 力							
				2048	1024	1	2	3	4	5	6	7	8
	A ₄	A ₃	A ₂	A ₁	A ₀								
2	0	0	0	1	0	0	0	0	1	0	0	0	0
3	0	0	0	1	1	0	0	0	0	1	1	1	1
4													
5													
6													
7													
8													
9													
10													
11													
12													
13													
14													
15													
16													
17													
18													
19													
20													
21													
22													
23													
24													
25													
26													
27													
28													
29													

アドレス	入 力					出 力							
				2048	1024	1	2	3	4	5	6	7	8
	A ₄	A ₃	A ₂	A ₁	A ₀								
30													
31													
						0	20	115	2820	3180	3500	4000	4095

第 1 図



第2図



第3図

