

⑪ 特許公報 (B2)

昭63-33373

⑥Int.Cl.⁴

H 02 J 3/40

識別記号

序内整理番号

6846-5G

⑫⑬公告 昭和63年(1988)7月5日

発明の数 1 (全15頁)

⑭発明の名称 自動制速装置

⑮特 願 昭55-84822

⑯公 開 昭57-9231

⑰出 願 昭55(1980)6月19日

⑱昭57(1982)1月18日

⑲発明者 山田 勉 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

⑳発明者 大藤 敦 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

㉑出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒代理人 弁理士 大岩 増雄

㉓審査官 長澤 傑一郎

1

2

⑭特許請求の範囲

1 系統側電圧を受けてこれを矩形波信号に変換する第1の矩形波変換回路と、発電機側のR-S相間電圧を受けてこれを矩形波信号に変換する第2の矩形波変換回路と、発電機側のS-T相間電圧を受けてこれを矩形波信号に変換する第3の矩形波変換回路と、発電機側のT-R相間電圧を受けてこれを矩形波信号に変換する第4の矩形波変換回路と、上記第1及び第2の矩形波変換回路の出力を受けて対応する2つの交流の位相差に比例したパルス幅をもつ第1のパルス列を得る第1の排他的論理和ゲートと、第1及び第3の矩形波変換回路の出力を受けて対応する2つの交流の位相差に比例したパルス幅をもつ第2のパルス列を得る第2の排他的論理和ゲートと、上記第1及び第4の矩形波変換回路の出力を受けて対応する2つの交流の位相差に比例したパルス幅をもつ第3のパルス列を得る第3の排他的論理和ゲートと、これら第1、第2、第3のパルス列のパルス幅が一定値であることを検出する第1、第2、第3のパルス幅検出器と、上記第1のパルス幅検出器の出力が送出されたことを検出して記憶する第1の記憶回路と、上記第2のパルス幅検出器の出力が送出されたことを検出して記憶する第2の記憶回路と、上記第3のパルス幅検出器の出力が送出したことを検出して記憶する第3の記憶回路と、上記

第1及び第2の記憶回路が共に動作したとき発電機の原動機に下げパルスを発生する第1リレー動作回路と、上記第1及び第3の記憶回路が共に動作したとき発電機の原動機に上げパルスを発生する第2のリレー動作回路と、上記第1のリレー動作回路が先に動作したとき上記第2のリレー動作回路の動作条件ができてもこれをロックしつつ上記第2のリレー動作回路が先に動作したとき上記第1のリレー動作回路の動作条件ができてもこれをロックする相互ロック回路と、上記第1の記憶回路が動作してから上記第2又は第3の記憶回路のうちのいずれか先に動作するまでの時間によつてパルス幅を設定するパルス幅制御回路と、このパルス幅制御回路によつてパルス幅が設定した出力を記憶する第4の記憶回路と、上記第1の記憶回路が動作してから上記第2又は第3の記憶回路のうちのいずれか一方が先に動作するまでの時間の間パルス発振器の出力パルスを計測するアップカウンタと、このアップカウンタの出力を入力として駆動周期の時限をデジタル設定するP-ROMと、上記第2又は第3の記憶回路が動作してから上記P-ROMの設定に従つてプリセットし上記パルス発振器の出力パルスを与えることにより駆動周期の時限を決定するプリセットできるダウンカウンタと、このダウンカウンタから出力が送出されたことを検出しさらに一定時限遅らせる一定

時限回路と、この一定時限回路の出力により上記第1、第2、第3、第4の記憶回路をリセットするリセット回路を具備したことを特徴とする自動制御装置。

2 上記第1及び第2の矩形波変換回路の出力を受けて対応する2つの交流の位相差に逆比例したパルス幅をもつパルス列を得る第1の排他的論理和ゲートと、上記第1及び第3の矩形波変換回路の出力を受けて対応する2つの交流の位相差に逆比例したパルス幅をもつパルス列を得る第2の排他的論理和ゲートと、上記第1及び第4の矩形波変換回路の出力を受けて対応する2つの交流の位相差に逆比例したパルス列を得る第3の排他的論理和ゲートを有することを特徴とする特許請求の範囲第1項に記載の自動制御装置。

3 上記第1の記憶回路が動作したとき零にリセットし、上記第2又は第3の記憶回路のうちのいずれか先に動作するまでの時間は上記パルス発振器のパルスを分周してから計測するダウンカウンタと、このダウンカウンタの出力を入力として駆動周期の時限をデジタル設定するP-ROMとを具備したことを特徴とする特許請求の範囲第1項又は第2項に記載の自動制御装置。

4 上記パルス発振器と、周波数差を検出する上記アップカウンタとの間に分周器を入れ、この分周率を変化することにより、ガバナモータ駆動周期を変化させて制御ループのゲインを変更制御することを特徴とする特許請求の範囲の第1項又は第2項に記載の自動制御装置。

5 上記パルス発振器と、周波数差を検出するダウンカウンタとの間に分周器を入れ、この分周率を変化することにより、ガバナ駆動周期を変化させて制御ループのゲインを変更制御することを特徴とする特許請求の範囲第3項に記載の自動制御装置。

発明の詳細な説明

本発明は自動制御装置に関し、特に発電機を系統に並列する場合に発電機の周波数を系統に合せる自動制御装置に関するものである。

従来この種の装置として第1図に示すものがあつた。第1図において、1は交流発電機、2はこの交流発電機1を系統に並列するためのしや断器で、系統側R-S相電圧は第1の計器用変圧器3を介して第1の補助変圧器4に与えられ、また交

流発電機1のR-S相間電圧及びS-T相間電圧が第2及び第3の計器用変圧器5及び6を介して第2及び第3の補助変圧器7及び8に与えられる。補助変圧器4は同一電圧を発生する3つの二次巻線4A、4B、4Cを有し、補助変圧器7及び8も同様の2つの二次巻線7A、7B及び8A、8Bを有する。二次巻線4A及び7Aは直列に接続され、この直列回路から系統側のR-S相間電圧と発電機1のR-S相間電圧との差の電圧が第1の整流回路9Aに与えられ、また二次巻線4B及び8Aの直列回路から系統側のR-S相間電圧と発電機1のS-T相間電圧との差の電圧が第2の整流回路9Bに与えられ、さらに二次巻線4C、7B及び8Bの直列回路から系統側のR-S相間電圧と、発電機1のT-S相間電圧との差が第3の整流回路9Cに与えられる。

第1、第2、第3の整流回路9A、9B、9Cはそれぞれ全波整流ダイオードブリッジ10A、10B、10Cと、平滑用コンデンサ11A、11B、11Cと、抵抗12A、12B、12Cとを含み、バイアス設定用抵抗13によつて正電圧にバイアスされている。整流回路9A、9B、9Cの出力電圧は逆流阻止用ダイオード14A、14B、14C及び入力抵抗15A、15B、15Cを介して互いにリンク接続してなるノア回路25A及び26A、25B及び26B、25C及び26Cでなるフリップフロップ回路27A、27B、27Cにセット入力として与えられる。ここでフリップフロップ回路27Aのノア回路25Aの出力はフリップフロップ回路27B及び27Cのノア回路26B及び26Cに接続され、またフリップフロップ回路27B及び27Cのノア回路26B及び26Cの入、出力間が互いにインターロック接続されている。

フリップフロップ回路27B及び27Cのノア回路26B及び26Cの出力がそれぞれノア回路29A、30A及び29B、30Bを介して出力回路31A及び31Bに与えられる。出力回路31A、31Bはガバナモータ下げ方向出力リレー32A、ガバナモータ上げ出力リレー31Bを有し、フリップフロップ回路26B及び26Cの出力をベース抵抗33A、34A及び33B、34Bを介して受ける駆動用トランジスタ35A及び35Bによつて駆動されて出力接点38A及び38Bに与えられる。

8Bを閉じる。なお36A, 36Bはサージ吸収用コンデンサ、37A, 37Bは消弧用ダイオードである。

かかる構成に加えて発電機1のガバナモータを円滑に制御するためにパルス幅パルス間隔制御回路40が設けられている。このパルス幅パルス間隔制御回路40はフリップフロップ回路27A, 27B, 27Cの出力をそれぞれオア回路41A, 42Aを通して受けるパルス幅制御回路部41、パルス間隔制御回路部42を有し、このときパルス幅制御回路部41はフリップフロップ回路構成の記憶回路41Bをセットしてその出力をロック信号として前述のオア回路30A, 30Bに送出すると共に、オア回路41A, 42Aにも同様のロック信号を与えるパルス幅制御回路41Cを有する。一方パルス間隔制御回路部42はノア回路42Aの出力が論理「1」となったとき逆流阻止用ダイオード42B、時定数調整用可変抵抗42Cを通して充放電用コンデンサ42Dを充電し、その後ノア回路42Aの出力が論理「0」となったときコンデンサ42Dの充電電圧を時定数調整用可変抵抗42Eを介しさらにノア回路42Fを通して放電させることによりその放電時間の経過後ノア回路42Fの出力を反転させて一定時限回路42Gを動作させ、その出力をリミット信号としてフリップフロップ回路27A, 27B, 27Cと、記憶回路41Bとに与えて一運動作を終了させる。

ここで第1図のノア回路26A, 26B, 26C、ノア回路29A, 29B及び30A, 30B、ノア回路41A, 42A, 42Fは第2図Aに示すと同様の記号で表わされており、例えば3入力のものとして第2図Bに示す如くトランジスタ43Aのベースに入力抵抗43B, 43C, 43Dを接続し、コレクタから出力を送出する構成を有するものとする。なお43Eはバイアス抵抗、43Fはコレクタ抵抗である。また第1図のノア回路25A, 25B, 25Cは第2図Cに示すと同様の記号で表わされており、第2図Bにおいて入力抵抗43B, 43C, 43Dを省略して入力を直接トランジスタ43Aに与えるようになされているものとする。

第2図Bのノア回路において、入力抵抗43B, 43C, 43Dのうちの1つ例えば入力抵抗

43Bに予定の値以上の正の電圧が到来するとトランジスタ43Aにベース電流が流れ、スイッチングし、コレクタ電位が0[V]になり、これが出力として送出される。これに対して入力端子の5いずれにも正の入力がない場合にはトランジスタ43Aは非導通となつてコレクタの電位は正電源の電圧となり、これが出力として送出される。かかる動作を以下「入力に論理「1」が入ったとき出力が「0」となり、入力に「0」が入ったとき10出力が「1」になる」と表現する。

第1図の従来の自動揃速装置は次のように動作する。まず第1及び第2の補助変圧器4及び7は系統のR-S相間電圧と、発電機1のR-S相間電圧との差をとつてうなり電圧を発生させ、第1の整流回路9Aの全波整流器10Aで整流し、交流分をコンデンサ11Aで吸収し、かくして第3図Aに示す如きうなり周波数の脈動直流電圧波形VAを発生させ、これにバイアス設定器13を用いて正のバイアスを加え(第3図Aの点線で0[V]のレベルを示す)、谷の部分のみが正となるような出力電圧を作る。従つてノア回路25Aは整流回路9Aの出力が点線0[V]より正のとき出力が論理「0」になりこれをフリップフロップ回路27Aの出力として送出する。しかしフリップフロップ回路27Aは一度出力が「0」になるとノア回路25Aの出力が「0」、ノア回路26Aの出力が「1」となる。この出力はノア回路25Aの入力に入っているからその後ダイオード14Aから入る信号が「0」になつたとしても以後この「0」出力を保持することになる。

次に第1及び第3の補助変圧器4及び8は同様に系統側のR-S相間電圧と発電機1のS-T相間電圧との差をとつてうなりを発生させ、系統の周波数より発電機の周波数が高いとき、第3図Bに示すように第3図Aの場合より120°遅れの脈動電圧Vbを第2の整流回路9Bから発生する。

さらに第1、第2、第3の補助変圧器4, 7, 8は系統側のR-S相間電圧と発電機1のT-R相間電圧との差をとつてうなりを発生させ、系統の周波数より発電機1の周波数が高いとき第3図Cに示すように第3図Bの場合よりさらに120°遅れた脈動電圧Vcを第3の整流回路9Cから発生する。

このようにすると脈動電圧の谷の来る順番は發

電機 1 の周波数が系統より高いときは脈動電圧 V_A (第3図A) → 脈動電圧 V_B (第3図B) → 脈動電圧 V_C (第3図C) の順であり、逆に発電機 1 の周波数が低いときは脈動電圧 V_A → 脈動電圧 V_C → 脈動電圧 V_B の順となる。従つて第1図の場合は、まず脈動電圧 V_A (第3図A) が到来したことをノア回路 2 5 A, 2 6 Aで検出して記憶し、次に脈動電圧 V_B (第3図B) が到来するか、又は脈動電圧 V_C (第3図C) が到来するかを検出する。

今第3図A～Cのように脈動電圧 V_A の次に脈動電圧 V_B が到来したとすれば、フリップフロップ回路 2 7 Bのノア回路 2 5 Bの入力端に論理「1」の入力を与えることにより、ノア回路 2 5 Bの出力を「0」とする。このときノア回路 2 6 Bの入力端には、パルス幅パルス間隔制御回路 4 0 よりのリセットパルスが「0」とノア回路 2 5 Aの出力が「0」とノア回路 2 6 Cの出力が「0」であり、さらに脈動電圧 V_C も未だ到来していないのでノア回路 2 6 Cの出力も「0」となる。かくして全ての入力が「0」であるため、ノア回路 2 6 Bの出力は「1」となる。

ノア回路 2 6 Bの出力が「1」になると、その後ノア回路 2 5 Cに脈動電圧 V_C が到来してもこのフリップフロップ回路 2 7 Cが動作しないようロツク信号を送出すると共に、ノア回路 2 9 Aの入力を「1」(従つてその出力を「0」)、ノア回路 3 0 Aの入力を「0」(従つてその出力を「1」)とし、トランジスタ 3 5 Aをスイッチングさせてリレー 3 2 Aを動作させる。

このときノア回路 3 0 A及び 3 0 Bの出力はダイオード 3 9 A及び 3 9 Bを介してパルス幅制御回路 4 1 Cに与えられ、リレー 3 2 A又は 3 2 Bが動作する最初の信号によつてこのパルス幅制御回路 4 1 Cを動作させる。制御回路 4 1 Cは記憶回路 4 1 Bをセットしてそのセット出力によつてノア回路 3 0 A及び 3 0 Bにロツク信号を与えてリレー 3 2 A又は 3 2 Bを不動作にすると共に、このロツク信号をノア回路 4 1 Aに与えることによりこの状態をロツクする。

従つて発電機 1 の原動機のガバナモータはリレー 3 2 Aの出力によつてその動作時間の間だけ下げ方向に回転して発電機 1 の周波数を下げる。

一方パルス間隔制御回路 4 2 のノア回路 4 2 Aは脈動電圧 V_A が到来すると以後脈動電圧 V_B 又は

V_C が到来するまで入力が全て「0」になるため出力は「1」になる。

しかるに脈動電圧 V_A の周期 T は

$$T = \frac{1}{f_1 - f_2} = \frac{1}{\Delta f} \text{ (秒)} \quad \dots \dots (1)$$

となる。ここで f_1 は発電機 1 の周波数 (Hz), f_2 は系統の周波数 (Hz), $\Delta f (= f_1 - f_2)$ は周波数差 (Hz) である。一方脈動電圧 V_A が到来してから脈動電圧 V_B 又は V_C が到来するまでの間は位相が 10 120°ずれており、従つてノア回路 4 2 Aの出力が「1」になつている時間 T_1 は

$$T_1 = \frac{120^\circ}{360^\circ} \times T = \frac{1}{3} \times \frac{1}{\Delta f} = \frac{1}{3\Delta f} \text{ (秒)} \quad \dots \dots (2)$$

となる。

パルス間隔制御回路 4 2 はこの時間 T_1 の間ダイオード 4 2 B、抵抗 4 2 Cを介してコンデンサ 4 2 Dを充電し、これによりコンデンサ 4 2 Dの両端に第4図に示す如き充電電圧 E_c が確立される。すなわちコンデンサ 4 2 Dを $\frac{1}{3\Delta f}$ (秒) だけ充電すると、コンデンサ 4 2 D及び抵抗 4 2 Cの積に比例した時定数でコンデンサ 4 2 Dの両端電圧が上昇する。

ところで $\frac{1}{3\Delta f}$ だけ時間が経過すると、脈動電圧 V_B 又は V_C が到来してフリップフロップ回路 2 7 B 又は 2 7 Cがセットされノア回路 2 6 B 又は 2 6 Cの出力が「1」となるので、ノア回路 4 2 Aの出力は「0」になる。そこでコンデンサ 4 2 Dの充電電荷は抵抗 4 2 E、ノア回路 4 2 Fを介して放電し始める。この放電開始時にはノア回路 4 3 Fの出力は「0」の状態にあるが、コンデンサ 4 2 Dの放電が進んで時点もにおいて充電電圧 E_c が感動電圧 E_t より低下したときノア回路 4 2 Fの出力は「1」に立上る。このようにして放電開始時点もから時点もに到るまでの時間 T_{p1} がパルス間隔時間 (すなわち駆動周期) となる。なおこのパルス間隔時間は可変抵抗 4 2 Eを調整することにより、 T_{p2} , T_{p3} のように可変できる。

またこのパルス間隔時間 T_p は第5図に示す如く $\frac{1}{3\Delta f}$ の充電時間が長くなる程長くなり、換言すれば Δf が小さい程長くなる。このような反限

時特性は、発電機のように慣性の大きい機械の回転数を制御して定格回転数にまで立ち上げる際にオーバーシュートをなくしてハンチングをなくすために、規定周波数（すなわち Δf が零）に近づくに従つてパルス間隔を大きくして安定、円滑に制御するために用いられている。

前述のようにノア回路42Eの出力が「1」に立上ると一定時限回路42Gが限時動作を開始し、その限時時間の経過後に送出される限時出力によつてフリップフロップ回路27A, 27B, 27C, 41Bをリセットし、次の脈動電圧 V_a の到来を待つ。なおかくしてこの一定時限回路42Gは充電時間が小さいときでも最小限のパルス間隔を確保するために設けられているものである。

次に発電機1の周波数が低い場合は、脈動電圧 V_a （第3図A）→脈動電圧 V_c （第3図C）→脈動電圧 V_b （第3図B）の順序で谷部分が到来する。従つてノア回路25Aの出力が「0」になつた後にその次にノア回路25Cの出力の先に「1」が到来し、リレー32Bを動作させると同時にノア回路26Bの出力が「1」になるのをロックする。このとき上述の場合と同様にしてパルス幅制御回路41C、パルス間隔制御回路42が動作してパルス幅、パルス間隔を制御し、発電機1の原動機のガバナモータを上げ方向に回転させて発電機の周波数を上げて系統の周波数に一致させるように動作する。

第1図の自動励速装置は以上の構成のパルス間隔制御回路42を用いているが、可変抵抗42C及び42Eの許容誤差が±5%程度があり、またコンデンサ42Dの許容誤差が±10%程度であるためこれがパルス間隔の誤差の原因となるを避け得ず、さらにノア回路42Fの降下電圧もトランジスタ43A（第2図B）の増幅度 h_{re} のバラツキによつてばらつくためこれが第5図のパルス間隔特性に変換すると無視し得ないバラツキとなるを避け得なかつた。かかる問題を回避するため従来は可変抵抗の位置に対応するテストデータを予めとつておいてこのデータに基づいて駆動周期を微調整するようにしていた。

本発明はかかる従来装置の欠点を除去するためになされたもので、発電機の原電機がバナモータの駆動周期を制御するパルス間隔制御回路をディ

ジタル化することによつて微調整及びテストデータの必要性をなくし、かくして回路のコストは多少高くなるが調整費を安くし得、またコストは同じ程度で装置ごとの特性バラツキをほとんどなくし、さらに時限動作についても精度の良い水晶発振器を利用できるようにすることにより経年変化をなくすことができる自動励速装置を提案しようとするものである。

以下第1図との対応部分に同一符号を附して示す第6図について本発明の一例を詳述するに、系統側計器用変圧器3の二次側に得られる第7図BUSに示す如き系統側交流電圧 V_{bus} は補助変圧器46を通じて矩形波発生回路48に与えられ、その矩形波出力が排他的論理和ゲート47A, 47B, 47Cに一方の入力として与えられる。

また発電機側R-S相間電圧計器用変圧器5の出力 V_{gen} （第8図GEN）は補助変圧器7の一方の二次巻線7Aから矩形波発生回路48Aに与えられる。さらに発電機側S-T相間電圧計器用変圧器6の出力は補助変圧器8の一方の二次巻線8Aから矩形波発生回路48Bに与えられる。これに對して補助変圧器7及び8の他方の二次巻線7B及び8Bが互いに接続され、その両端間に得られるT-R相間電圧が矩形波発生回路48Cに与えられる。これらの矩形波発生回路48A, 48B, 48Cの出力はそれぞれ排他的論理和ゲート47A, 47B, 47Cに他方の入力として与えられる。

かくして排他的論理和ゲート47A, 47B, 47Cの出力端には系統側R-S相間電圧に対する発電機側R-S相間電圧、S-T相間電圧、T-R相間電圧の位相差を表わすパルス出力をそれぞれ発生し、このパルス出力を精密タイマ49A, 49B, 49Cに与える。この精密タイマ49A, 49B, 49Cは各パルス出力のパルス幅従つて位相差が予定値以上となつたときこれを検出してそれぞれフリップフロップ回路50A, 50B, 50Cにセット入力として与える。

フリップフロップ回路50A, 50B, 50Cはそれぞれ NAND 回路51A 及び 52A, 51B 及び 52B, 51C 及び 52C でなり、第1図について上述したと同様にしてフリップフロップ回路50Aの出力がフリップフロップ回路50B及び50Cにリセット入力として与えられる。また

このフリップフロップ回路 50B 及び 50C は第 1 図について上述したと同様に相互にインターロックループを有し、出力をそれぞれ NAND 回路 53A 及び 53B, 54A 及び 54B、インバータ 55A 及び 55B を介して出力回路 31A 及び 31B に与える。

一方フリップフロップ回路 50A, 50B, 50C の出力はパルス幅パルス間隔制御回路 57 の入力 NAND 回路 58 に与えられ、制御回路 57 の出力によつて NAND 回路 54A 及び 54B をロックすると共に一定時間後にフリップフロップ回路 50A, 50B, 50C と一緒にリセットするようになされている。

パルス幅パルス間隔制御回路 57 は NAND 回路 58 の出力を受けるパルス幅制御回路 59 を有し、その出力によつてフリップフロップ回路でなる記憶回路 60 をセットし、そのセット出力を上述の NAND 回路 54A 及び 54B にロック入力として与えると共に、NAND 回路 58 に自己保持入力として与える。

また NAND 回路 58 の出力はインバータ 61, 62 を介して抵抗 63 及びコンデンサ 64 でなる積分回路に与えられ、その出力をインバータ 61 の出力を受けるシユミット回路 65 に与える。かくしてシユミット回路 65 にはパルス出力が得られこれが NAND 回路 66 を介してアップカウンタ 67 にリセット信号として与えられる。これに対してアップカウンタ 67 のカウント入力として、例えば水晶発振回路構成のパルス発振器 88 の出力が、2 進カウンタ 89 及び 90 によつて分周され、NAND 回路 58 の出力をインバータ 71 を介して開信号として与えられる NAND 回路 72 を介して入力される。

このアップカウンタ 67 のカウント内容は P-ROM 68 を介してプリセットできるダウンカウンタ 69 にセット入力として与えられる。一方 NAND 回路 58 の出力はインバータ 61 を介しさらに抵抗 73 及びコンデンサ 74 でなる積分回路を介して一方の入力として与えられるシユミット回路 75 に直接与えられ、その出力がプリセットができるカウンタ 76 に対するリセット信号として与えられる。そしてプリセットができるカウンタ 69 のカウント入力として、パルス発振器 88 の出力が、2 進カウンタ 91 によつて分周された後

NAND 回路 78 を介して与えられ、このカウンタ 69 の出力が第 1 図の場合と同様の一定時間回路 79 を介して記憶回路 60 と、フリップフロップ回路 50A, 50B, 50C とへのリセット信号として用いられる。

以上の構成において、第 6 図の系統側計器用変圧器 3 の出力電圧 V_{bus} (第 7 図 BUS) についてその X 印の方が正極性のとき論理「H」、負極性のとき論理「L」となる矩形波出力が矩形波発生回路 46 から送出される。また発電機側の R-S 相の計器用変圧器 5 の出力電圧 V_{gen} (第 7 図 GEN) についても同様の矩形波出力が矩形波発生回路 48A から送出される。発電機側の S-T 相の計器用変圧器 6 の出力電圧も全く同様にして矩形波出力が矩形波発生回路 48B から送出されるのに對して、発電機側の T-R 相の電圧は補助変圧器 7 及び 8 の二次コイルの出力をベクトル合成して得ることにより矩形波発生回路 48C から対応する矩形波出力が送出される。

なおこの実施例の場合補助トランジスタ 45, 7, 8 は 110V の電圧を半導体回路に適する 10V 近辺の電圧にまで降下するために用いられている。

系統側の R-S 相矩形波出力と、発電機側の R-S 矩形波出力を排他的論理和ゲート 47A に入力すると、その出力端には第 7 図 A に示すような位相差に比例したパルス幅をもつパルス列 P_A が発生する。このパルス列 P_A を、一定パルス幅以上になつたとき「L」パルスを発生するパルス幅検出回路 49A へ入力すると、第 7 図 A1 に示す如く、位相差が 180° 近傍で「L」パルス P_{A1} が発生する。

また系統側の R-S 相矩形波出力、発電機側の S-T 相矩形波出力に基づいて得られるパルス列 P_B 及び P_{B1} は、第 7 図 B 及び B1 に示す如く上述のパルス列 P_A より 120° 遅れて発生する。さらに系統側の R-S 相矩形波出力と、発電機側の T-R 相矩形波出力ではパルス列 P_B 及び P_{B1} よりさらに 120° 遅れた状態のパルス列 P_C 及び P_{C1} が発生する (第 7 図 C 及び C1)。

ここでフリップフロップ回路 50A が先ずパルス P_{A1} が発生したことを記憶する。パルス P_{A1} の次にパルス P_{B1} が発生すれば、これをフリップフロップ回路 50B が記憶し、その NAND 回路 52B の出力が「L」NAND 回路 53A の出力が「H」

13

NAND回路54Aの出力が「し」、インバータ55Aの出力が「H」となり、トランジスタ35Aがスイッチングしてリレー32Aが動作する。

このときパルス幅パルス間隔制御回路57のNAND回路58の出力SIは第8図Aに示すようにパルスP_{A1}が到来した時点t₁₁からパルスP_{B1}が到来した時点t₁₂までの間「L」となり積分回路のコンデンサ64の端子電圧S2は第8図Bのように1度立つた後に立上る。そこでシュミット回路65は第8図CのようにパルスP_{A1}が到来した時点t₁₁で「L」に立下るパルスS3を発生する。NAND回路66はシュミット回路65の出力を受けてパルスP_{A1}が到来したとき「H」に立上るパルスS4を発生し(第8図D)、このとき2進のアップカウンタ67を零にプリセットする。またアップカウンタ67のクロック端子には高周波発振器88で発生したパルスが2進カウンタ89及び90を介して与えられ、パルスP_{A1}が来てからパルスP_{B1}が来るまでの時間をパルスの数に変換する。

いま発振器88の発振周波数を1[MHz]とした場合の例について説明すると、2進カウンタ89は2¹⁴個のパルスが入ったとき1個のパルスを出力するようにしており、2進カウンタ90は前述のようにバイパスされているものとする。アップカウンタ67は第9図に示すようにカウンタ89に2¹⁴個のパルスが入力することに(換算すれば0.016384秒ごとに)1回カウントパルスを受ける。時点t₁₁～t₁₂の期間がこの値になれば、周波数△fは20345[Hz]に相当する。同様に2¹⁴をベースにこの時間の1～31倍の時間が計測され、それに応じて2進カウンタ(この場合2¹⁰のカウンタがある)の各フリップフロップからP-ROM68へ出力が与えられる。P-ROM68の入力には上述のように1～31の2進の値が与えられる。この2進の値は第9図に示すように周波数差△fに対応しているものである。

次にP-ROM68のリセットは第10図の表のようになつている。入力が「0」～「3」のときは出力が「0」、入力が「4」のときは出力が「1」、入力が「5」のときは出力が「3」、入力が「7」のときは出力が「7」となるようになつていて。このP-ROM68はパルス間隔(駆動周期)のタイマのデジタル設定をするものである。入力は周波数差(△f)に対応した時間が入

14

り、それに対応したタイマ時限を設定する。

パルス間隔時限はプリセットできるダウンカウンタ69で設定する。2進カウンタ67は1[MHz]の発振器パルスを1/2¹⁴に分周する。すなわち第11図に示すように0.52488(秒)に1パルスを発生する。すなわちP-ROM68の出力が「1」となればパルス間隔の時限は0.52488秒となり、R-ROM68の出力が「2」となればパルス間隔の時限は2倍の1.048576(秒)になる。

時点t₁₁においてパルスP_{A1}がきてから時点t₁₂においてパルスP_{B1}がくるまではアップカウンタ67でこの時間を計測して周波数差△fを検出し、このカウンタ値をP-ROM68に与えてこれに応じた時限セットし、時点t₁₂においてパルスP_{B1}がくるとP-ROM68の値をダウンカウンタ69にプリセットし、0.52488秒に1回到来するパルスによってダウンカウントさせ、零になるとダウンカウンタ69からキャリーアウト出力である「L」パルスを発生させて記憶すると共に、次の一定時限回路79に信号を与えて一定時限後に「L」に立下るパルスを発生させ、フリップフロップ回路50A, 50B, 50C、記憶回路60をリセットして初期の状態へもどす。

以上の構成の自動減速装置の駆動周期の特性を最終的にまとめると第12図のようになる。すなわちパルス幅設定回路57で設定された時間だけガバナモータを駆動し、図示説明はしていないがパルス幅より駆動周期(すなわちパルス間隔)の方が短かい場合は、一定時限回路79の時限のみ経過してからフリップフロップ回路50A, 50B, 50C、記憶回路60へリセットパルスを発生させる。パルス幅より駆動周期の方が長くなつてくると第12図のようになりP-ROM68の入力「3」までは△fが大きいためP-ROM68の出力は零にしておき時限は「0」secとなつていて。

$\frac{1}{3\Delta f}$ が0.065秒以上になると、P-ROM68の入力には「4」が入り、出力は「1」となるため0.52488secの時限がつくられる。

$\frac{1}{3\Delta f}$ が0.082sec以上になると入力は「5」になり出力は「3」になって駆動周期は1.57secになる。すなわち第5図に相当する関係をデジタル化すれば、多少特性は変るが第12図のような特性

におきかえることができる。

次に2進カウンタ90のバイパスを止めてこの2進カウンタ90を1個入れて入力パルスを1/2にすると、周波数差 Δf が半分になつたのと同じになり、第12図の実線の特性が第12図の点線のように移動できる。またさらに2進カウンタ90を2個入れて入力パルスを1/4にした場合、周波数差は1/4になつたのと同じになり、第12図の一点鍵点の特性にできる。すなわち2進カウンタ90をバイパスしたり、1/2にしたり1/4にしたり切換えることによって駆動周期の調整ができる。

なお NAND回路66と NAND回路76の入力の片方に入っている入力信号Iは電源が入った瞬間にカウンタ67と69をリセットするためのもので、誤動作防止用の回路である。

一方パルスP_{H1}、A1がきてから、パルスP_{H2}がきて、さらにパルスP_{C1}がきて、リレー32Bが動作しないように NAND回路52Bの出力が NAND回路52に入つており、一旦パルスP_{H1}を検出すると一定時間回路79からリセット信号が出るまではその後のパルスP_{C1}がきてさらにパルスP_{H1}がきて、NAND回路52Cの出力が NAND回路52Bに入つており、同様にリレー32Aが動作しないように相互ロック回路が設けてある。

かくしてリレー32A、あるいはリレー32Bにて発電機の原動機の速度を制御することにより系統の周波数に一致させるようにして周波数差 Δf が許容値以内になつたとき、自動同期装置を使用して発電機を系統へ並列する。

なお上記の実施例では発振器68の周波数を1[MHz]として説明したがもつと低い周波数にして2進カウンタ89、90を省略するか、カウンタの段数を少なくしても同様の効果を得ることができる。

また周波数差 Δf をアップカウンタ67で検出するようにしているが、ダウンカウントでもP-ROM68のセットを変えれば同様の効果を得ることができる。また、第13図のように第6図の排他的論理和ゲート47A～47Cのうしろに、 NAND回路100A～100Cを入れて、H-Lの極性を反転すれば、精密タイマ49A～49Cに入る信号は、第14図のA'、B'、C'のように二つの交流の位相差に逆比例したパルス幅をもつ

パルス列を得ることができる。

すなわち、第7図のAでは同相のときパルス幅零、位相差180°でパルス幅が最大となつていたが、第14図では、同相のときパルス幅が最大で、位相差が180°になるとパルス幅が零になる。つまり、第6図の排他的論理和ゲート47A、47B、47CのH-Lの極性を反転すると位相差に逆比例したパルス列を得ることができる。

このように、上記二つの交流の位相差に逆比例したパルス幅をもつパルス列にした場合、第7図のときより180°進むだけで、その他は二つの交流の位相差に比例するパルス幅をもつパルス列の場合と同様の効果を得ることができる。

以上のように本発明によれば、P-ROM68の設定を固定しておき、2進カウンタ90のタップを選択するだけで、抵抗、コンデンサ、動作電圧のバラツキによる時限の変動がなく、試験調整費を安くでき、また特性は各単体毎にバラツキがないため単品毎のテストデータも不要となり、時限もパルス発送器を使用しているため従来のようにコンデンサの劣化による経年変化が生ずるおそれもなく、正確な時限の自動揃速装置を容易に得ることができる。

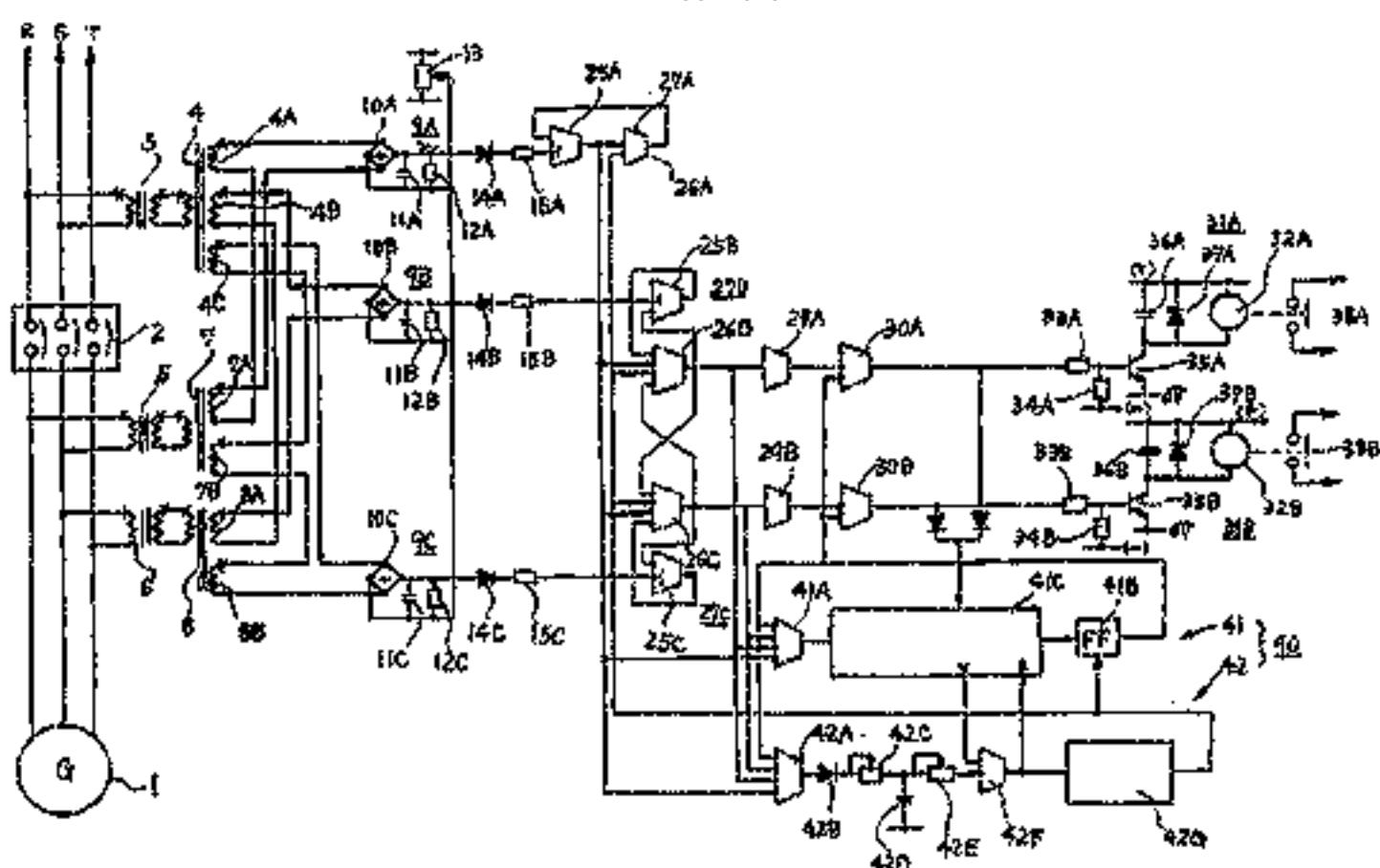
図面の簡単な説明

第1図は従来の自動揃速装置を示す接続図、第2図A～CはそのNOR回路の内部構成を示す接続図、第3図A～Cは従来の自動揃速装置の動作を説明するための波形図、第4図は従来の自動揃速装置の駆動周期の時限を説明するための曲線図、第5図は従来の自動揃速装置の駆動周期の特性を示す曲線図、第6図は本発明の自動揃速装置の一実施例を示す接続図、第7図BUS～C1は本発明の動作原理を説明するための信号波形図、第8図A～Hは第6図の動作の説明に供する信号波形図、第9図は第6図の2進カウンタ69の出力(P-ROMの入力に相当)と周波数差 Δf の関係を示す図表、第10図は第6図のP-ROM68の設定の一実施例を示す図表、第11図は第6図のP-ROM68の出力とガバナモータ駆動周期の一実施例を示す図表、第12図は第6図の装置のガバナモータ駆動周期特性の一例を示す曲線図、第13図は第6図に対応する他の実施例を示す接続図、第14図は上記他の実施例の信号波形図である。

1……発電機、2……しや断器、3, 5, 6…
…計器用変圧器、4, 7, 8……補助変圧器、3
1A, 31B……出力回路、32A, 32B……
出力用リレー、48……補助変圧器、46, 48
A, 48B, 48C……矩形波発生回路、47
A, 47B, 47C……排他的論理和ゲート、4
9A, 49B, 49C……パルス幅検出器、59
……パルス幅制御回路、60……記憶回路、60

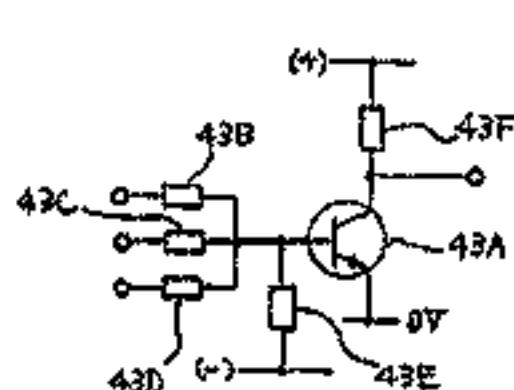
A, 50B, 50C……プリップフロップ回路、
63, 73……抵抗、64, 74……コンデン
サ、65, 75……シユミット回路、67……ア
ップカウンタ、68……P-ROM、69……ブ
リセットできるダウンカウンタ、70……2進カ
ウンタ、79……一定時間回路、88……パルス
発振器、90, 91……2進カウンタ。

第1図



第2図

(B)



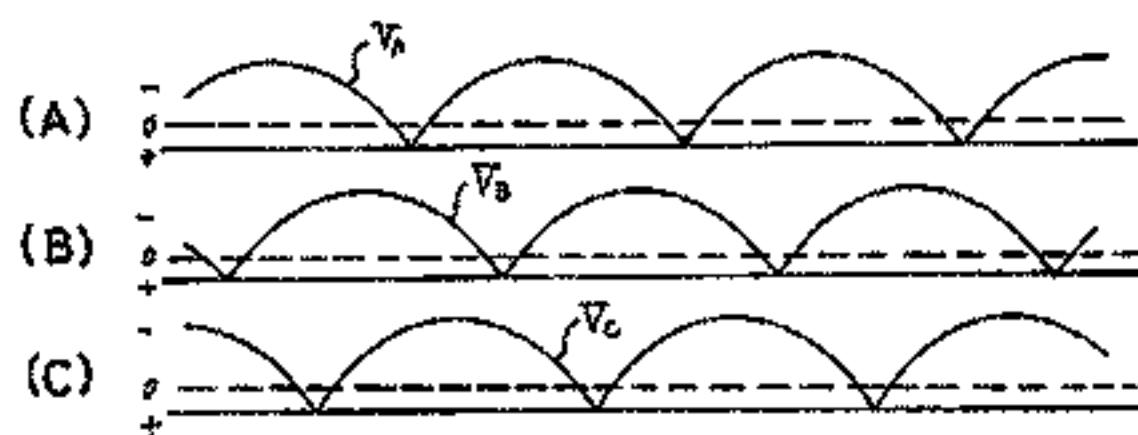
(C)



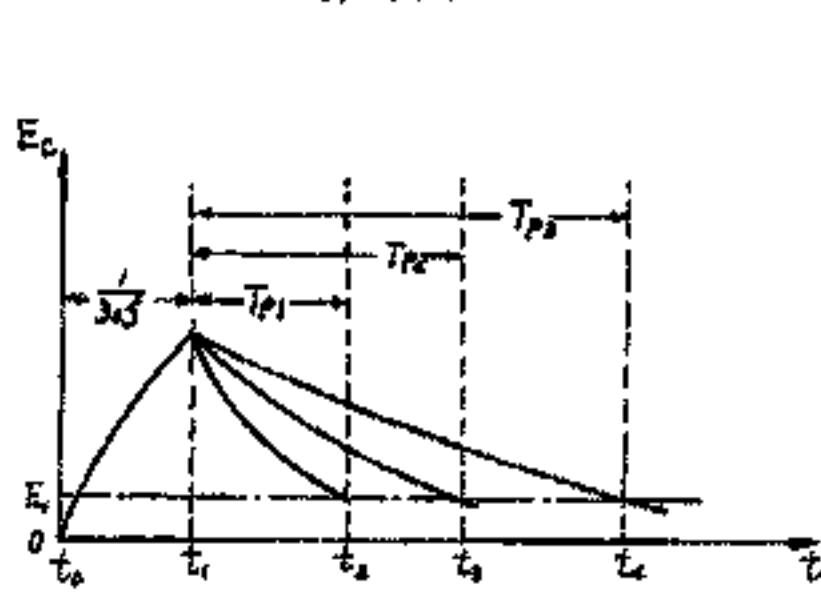
(A)



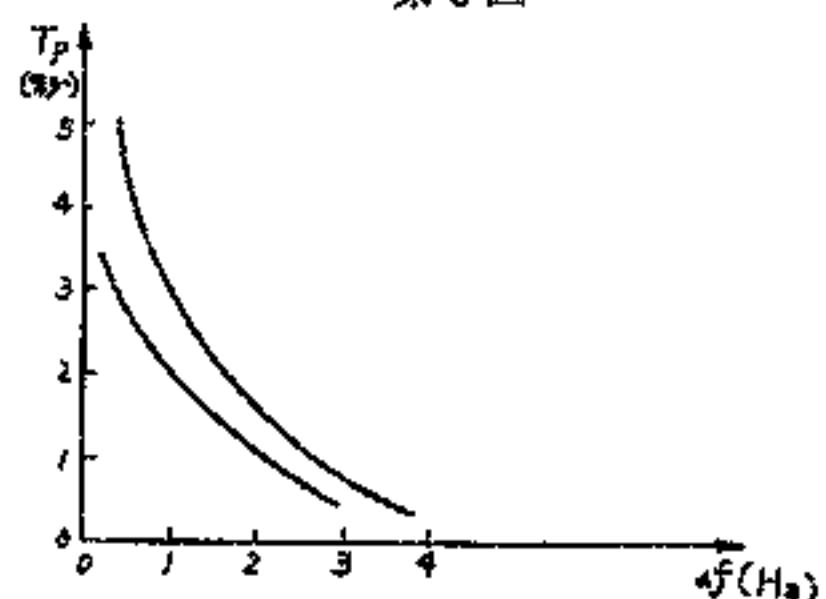
第3図



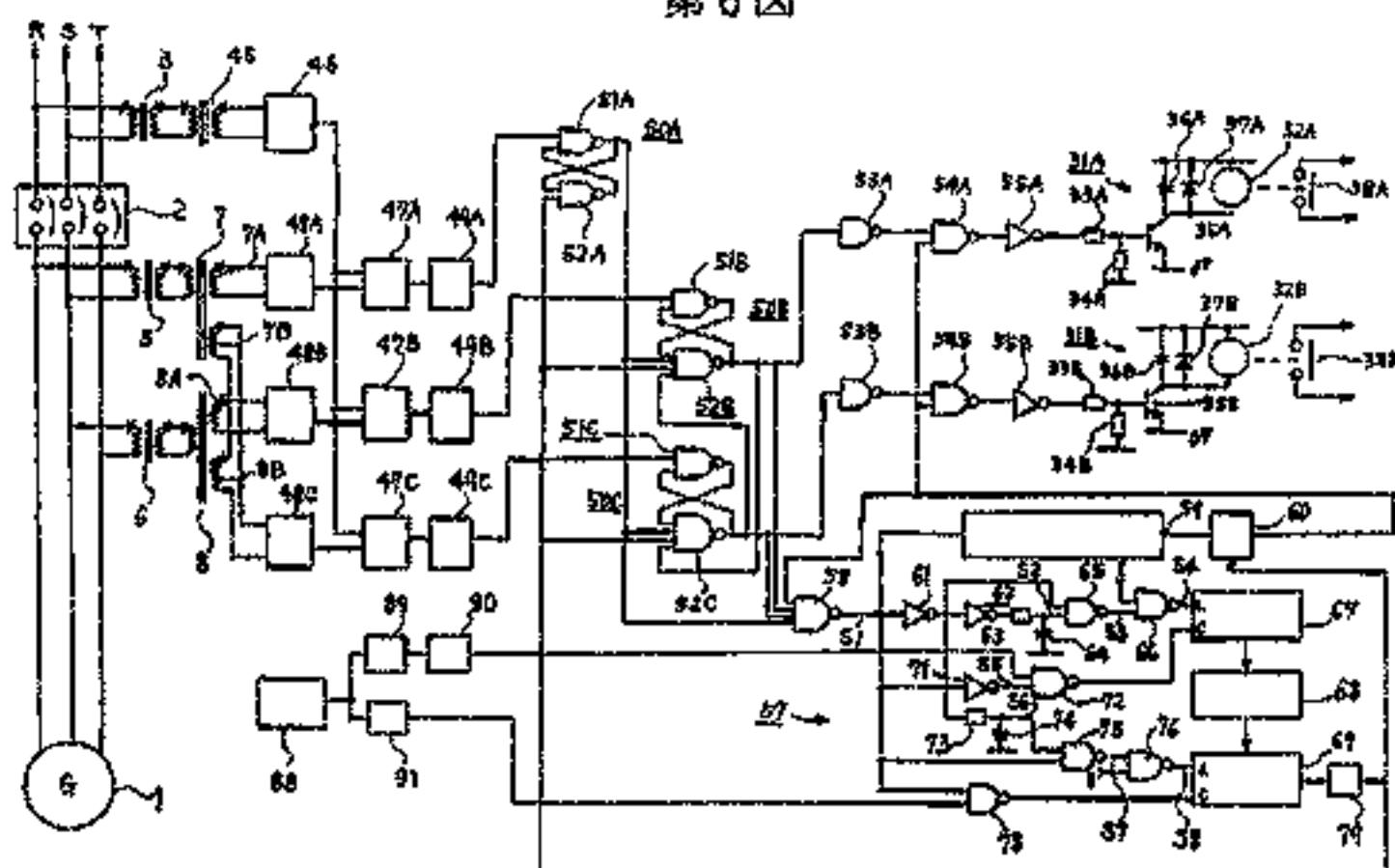
第4図



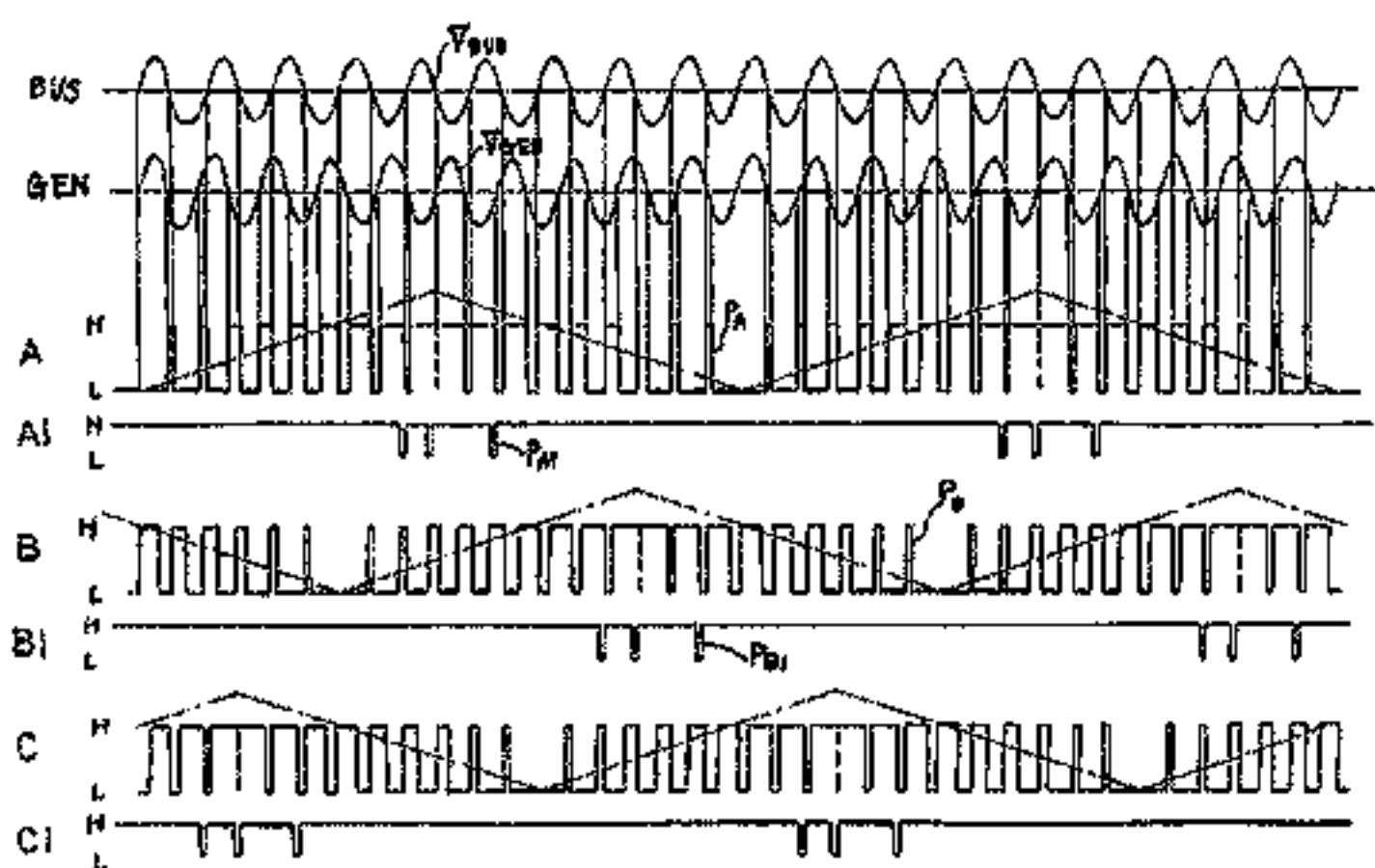
第5図



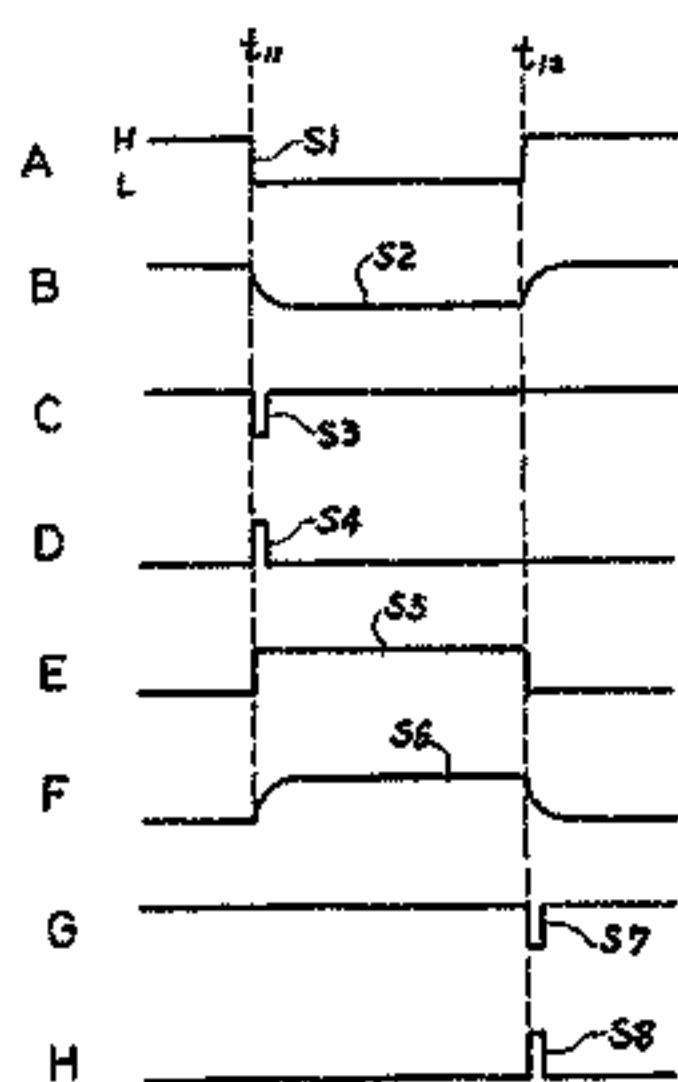
第6図



第7図



第8図



第9図

2^{14} (61) 時間	時 限	PROM (68)	$T = \frac{1}{3\Delta f}$	Δf
2^{14}	0.016384 秒	1	0.016384 秒	20.345 Hz
2^{15}	0.032768 秒	2	0.032768 秒	10.172 Hz
		3	0.049152 秒	6.782 Hz
2^{16}	0.065536 秒	4	0.065536 秒	5.086 Hz
		5	0.08192 秒	4.069 Hz
		6	0.098304 秒	3.391 Hz
		7	0.114688 秒	2.906 Hz
2^{17}	0.131072 秒	8	0.131072 秒	2.543 Hz
		9	0.147456 秒	2.261 Hz
		10	0.16384 秒	2.035 Hz
		11	0.180224 秒	1.850 Hz
		12	0.196608 秒	1.695 Hz
		13	0.212992 秒	1.565 Hz
		14	0.229376 秒	1.453 Hz
		15	0.24576 秒	1.356 Hz
2^{18}	0.262144 秒	16	0.262144 秒	1.272 Hz
		⋮		
		31	0.507804 秒	0.656 Hz

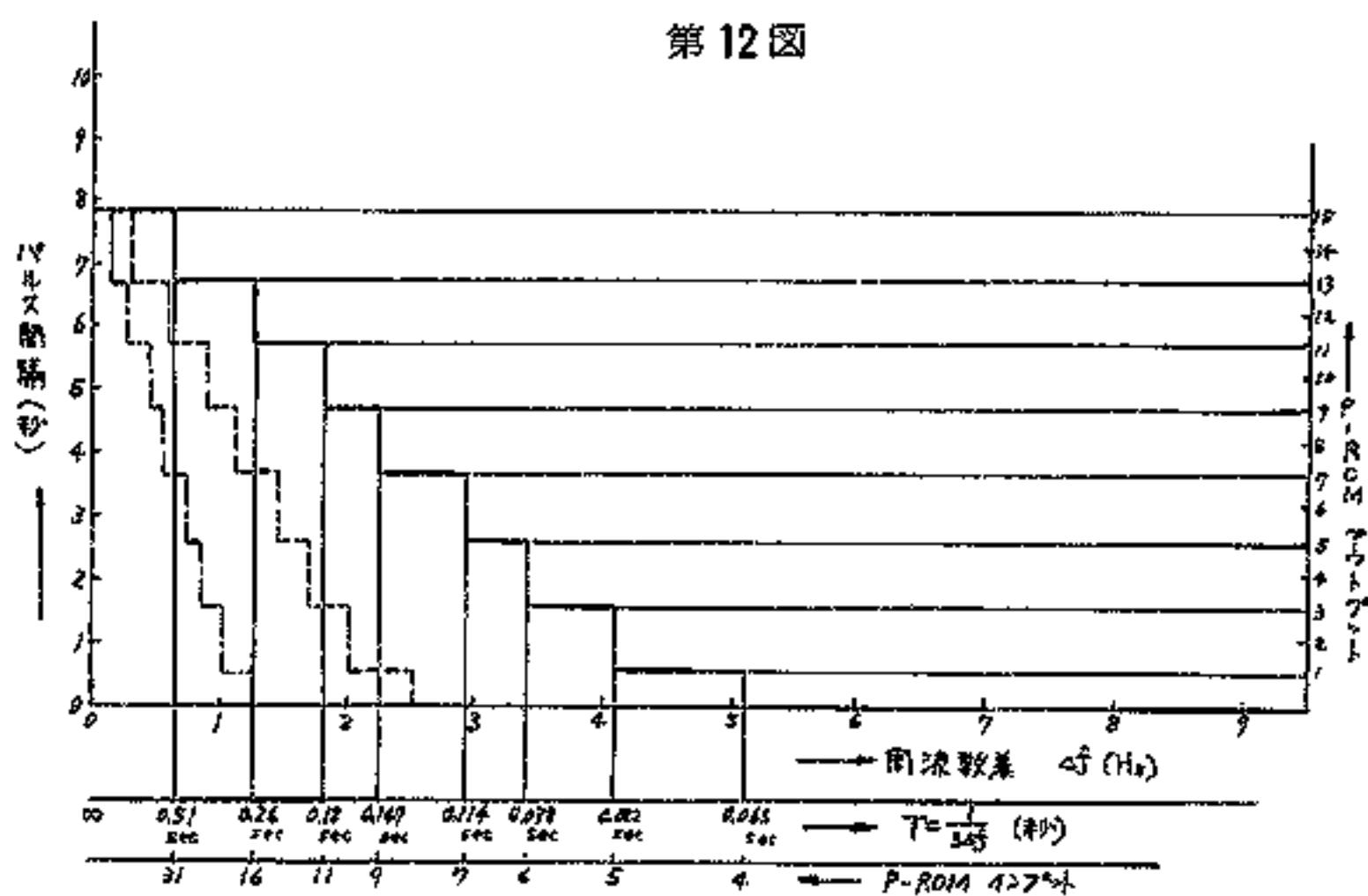
第10図

P-ROM アドレス	P-ROM(68) アドレス					P-ROM(68) 取扱い					P-ROM 出力
	A4	A3	A2	A1	A0	#4	#3	#2	#1	#0	
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0
2	0	0	0	1	0	0	0	0	0	0	0
3	0	0	0	1	1	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	1	1	1
5	0	0	1	0	1	0	0	1	1	3	3
6	0	0	1	1	0	0	1	0	1	5	5
7	0	0	1	1	1	0	1	1	1	7	7
8	0	1	0	0	0	0	1	1	1	7	7
9	0	1	0	0	1	1	0	0	1	9	9
10	0	1	0	1	0	1	0	0	1	9	9
11	0	1	0	1	1	0	1	0	1	11	11
12	0	1	1	0	0	1	0	1	1	11	11
13	0	1	1	0	1	1	0	1	0	11	11
14	0	1	1	1	0	1	0	1	1	11	11
15	0	1	1	1	1	1	0	1	1	11	11
16	1	0	0	0	0	1	1	0	1	13	13
17	1	0	0	0	1	1	1	0	1	13	13
18	1	0	0	1	0	1	1	0	1	13	13
19	1	0	0	1	1	1	1	0	1	13	13
20	1	0	1	0	0	1	1	0	1	13	13
21	1	0	1	0	1	1	1	0	1	13	13
22	1	0	1	1	0	1	1	0	1	13	13
23	1	0	1	1	1	1	1	0	1	13	13
24	1	1	0	0	0	1	1	2	1	13	13
25	1	1	0	0	1	1	1	0	1	13	13
26	1	1	0	1	0	1	1	1	0	13	13
27	1	1	0	1	1	1	1	1	2	13	13
28	1	1	1	0	0	1	1	0	1	13	13
29	1	1	1	0	1	1	1	0	1	13	13
30	1	1	1	1	0	1	1	1	0	13	13
31	1	1	1	1	1	1	1	1	1	15	15
W/R	16	8	4	2	1	3	4	2	1	W/R	

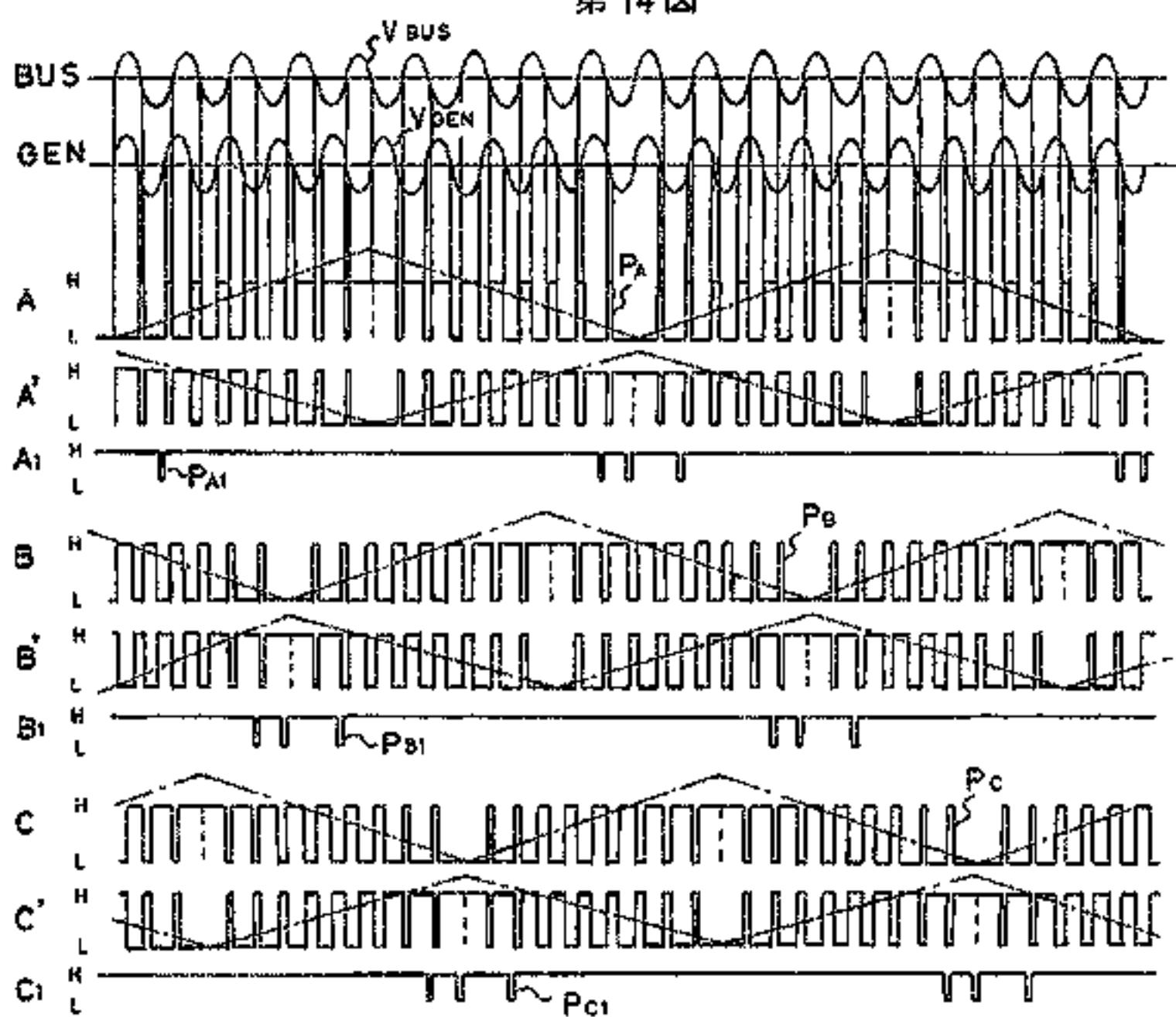
第11図

2進数 (68)アドレス	時 間	P-ROM (68)	バ尔斯時間(μ秒)
2 ⁰	0.524288 秒	1	0.524288 秒
2 ¹	1.048576 秒	2	1.048576 秒
		3	1.572864 秒
2 ²	2.097152 秒	4	2.097152 秒
		5	2.62144 秒
		6	3.145728 秒
		7	3.670016 秒
2 ³	4.194304 秒	8	4.194304 秒
		9	4.718592 秒
		10	5.24288 秒
		11	5.767168 秒
		12	6.291456 秒
		13	6.815744 秒
		14	7.340032 秒
		15	7.86432 秒

第 12 図



第 14 図



13

