

⑫ 特許公報 (B 2)

昭63-33374

⑬ Int. Cl. 4
H 02 J 3/40

識別記号 庁内整理番号
6846-5G

⑭ 公告 昭和63年(1988)7月5日

発明の数 1 (全19頁)

⑮ 発明の名称 自動揃速装置

⑯ 特 願 昭55-84826

⑰ 公 開 昭57-9232

⑱ 出 願 昭55(1980)6月19日

⑲ 昭57(1982)1月18日

⑳ 発 明 者 山 田 勉 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

㉑ 発 明 者 大 藪 勲 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

㉒ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉓ 代 理 人 弁 理 士 大 岩 増 雄

審 査 官 長 澤 俊 一 郎

1

2

㉔ 特許請求の範囲

1 系統側電圧を受けてこれを矩形波信号に変換する第1の矩形波変換回路と、発電機側のR-S相間電圧を受けてこれを矩形波信号に変換する第2の矩形波変換回路と、発電機側のS-T相間電圧を受けてこれを矩形波信号に変換する第3の矩形波変換回路と、発電機側のT-R相間電圧を受けてこれを矩形波信号に変換する第4の矩形波変換回路と、上記第1及び第2の矩形波変換回路の出力を受けて対応する2つの交流の位相差に比例したパルス幅をもつ第1のパルス列を得る第1の排他的論理和ゲートと、第1及び第3の矩形波変換回路の出力を受けて対応する2つの交流の位相差に比例したパルス幅をもつ第2のパルス列を得る第2の排他的論理和ゲートと、上記第1及び第4の矩形波変換回路の出力を受けて対応する2つの交流の位相差に比例したパルス幅をもつ第3のパルス列を得る第3の排他的論理和ゲートと、これら第1、第2、第3のパルス列のパルス幅が一定値であることを検出する第1、第2、第3のパルス幅検出器と、上記第1のパルス幅検出器の出力が送出されたことを検出して記憶する第1の記憶回路と、上記第2のパルス幅検出器の出力が送出されたことを検出して記憶する第2の記憶回路と、上記第3のパルス幅検出器の出力が送出したことを検出して記憶する第3の記憶回路と、上記

第1及び第2の記憶回路が共に動作したとき発電機の原動機に下げパルスを発生する第1のリレー動作回路と、上記第1及び第3の記憶回路が共に動作したとき発電機の原動機に上げパルスを発生する第2のリレー動作回路と、上記第1のリレー動作回路が先に動作したとき上記第2のリレー動作回路の動作条件ができてこれをロックしかつ上記第2のリレー動作回路が先に動作したとき上記第1のリレー動作回路の動作条件ができてこれをロックする相互ロック回路と、上記第1の記憶回路が動作した時点から上記第2又は第3の記憶回路のいずれか一方が先に動作するまでの時点の間パルス発振器から到来する第1の分周パルスをカウントする第1のアップカウンタと、この第1のアップカウンタの出力を受けてガバナモータ駆動時限を指定するデジタル設定出力を送出する第1のP-ROMと、上記第2又は第3の記憶回路が動作した時上記第1のP-ROMのデジタル設定出力の内容から上記パルス発振器から到来する第2の分周パルスをダウンカウントしてガバナ駆動時限を決定する第1のプリセットできるダウンカウンタと、この第1のプリセットできるダウンカウンタのカウント内容が零になったときセット動作する第4の記憶回路と、この第4の記憶回路のセット出力に応動して上記第1及び第2のリレー動作回路の動作を中止させるロック回路と、

上記第1の記憶回路が動作した時点から上記第2又は第3の記憶回路のいずれか一方が先に動作するまでの時点の間上記パルス発振器から到来する第3の分周パルスをカウントする第2のアップカウンタと、この第2のアップカウンタの出力を受けて駆動周期の時限を指定するデジタル設定出力を送出する第2のP-ROMと、上記第2又は第3の記憶回路が動作した時上記第2のP-ROMのデジタル設定出力の内容から上記パルス発振器から到来する第4の分周パルスをダウン
10 カウントして駆動周期を決定する第2のプリセットできるダウンカウンタと、この第2のプリセットできるダウンカウンタのカウント内容が零になったときセット動作する第5の記憶回路と、上記第4及び第5の記憶回路が共に動作したとき動作しその限時出力によつて上記第1ないし第5の記憶回路をリセットする一定時限タイマとを具えたことを特徴とする自動揃速装置。

2 上記第1及び第2の矩形波変換回路の出力を受けて対応する2つの交流の位相差に逆比例したパルス幅をもつパルス列を得る第1の排他的論理和ゲートと、上記第1及び第3の矩形波変換回路の出力を受けて対応する2つの交流の位相差に逆比例したパルス幅をもつパルス列を得る第2の排他的論理和ゲートと、上記第1及び第4の矩形波
20 変換回路の出力を受けて対応する2つの交流の位相差に逆比例したパルス列を得る第3の排他的論理和ゲートを有することを特徴とする特許請求の範囲第1項に記載の自動揃速装置。

3 上記第1の記憶回路がセット動作したとき全てのビットの内容を論理「0」又は「1」にセットしその後上記第2又は第3の記憶回路のいずれか一方が先に動作するまで上記パルス発振器の第5及び第6の分周パルスをそれぞれダウンカウントする第1及び第2のダウンカウンタと、この第1及び第2のダウンカウンタの出力を受ける第1及び第2のP-ROMと、上記第1のP-ROMの出力によつてガバナモータ駆動時限のデジタル設定をすると共に、上記第2のP-ROMの出力によつて駆動周期のデジタル設定をすること
40 を特徴とする特許請求の範囲第1項又は第2項に記載の自動揃速装置。

4 上記パルス発振器と、上記第1及び第2のアップカウンタとの間にそれぞれ分周器を設け、こ

の分周器によつて上記第1及び第3の分周パルスの分周率を変化させることによつて上記ガバナモータ駆動時限及び上記駆動周期の設定を変更制御できるようにしたことを特徴とする特許請求の範囲第1項又は第2項に記載の自動揃速装置。

5 上記パルス発振器と、上記第1及び第2のダウンカウンタとの間にそれぞれ分周器を設け、この分周器によつて上記第5及び第6の分周パルスの分周率を変化させることによつて上記ガバナモータ駆動時限及び上記駆動周期の設定を変更制御できるようにしたことを特徴とする特許請求の範囲第3項に記載の自動揃速装置。

発明の詳細な説明

本発明は自動揃速装置に関し、特に発電機を系統に並列する場合に発電機の周波数を系統に合せる自動揃速装置に関するものである。

従来この種の装置として第1図に示すものがあつた。第1図において、1は交流発電機、2はこの交流発電機1を系統に並列するためのしや断器で、系統側R-S相電圧は第1の計器用変圧器3を介して第1の補助変圧器4に与えられ、また交流発電機1のR-S相間電圧及びS-T相間電圧が第2及び第3の計器用変圧器5及び6を介して第2及び第3の補助変圧器7及び8に与えられ
25 る。補助変圧器4は同一電圧を発生する3つの二次巻線4A、4B、4Cを有し、補助変圧器7及び8も同様の2つの二次巻線7A、7B及び8A、8Bを有する。二次巻線4A及び7Aは直列に接続され、この直列回路から系統側のR-S相間電圧と発電機1のR-S相間電圧との差の電圧が第1の整流回路9Aに与えられ、また二次巻線4B及び8Aの直列回路から系統側のR-S相間電圧と発電機1のS-T相間電圧との差の電圧が第2の整流回路9Bに与えられ、さらに二次巻線
35 4C、7B及び8Bの直列回路から系統側のR-S相間電圧と、発電機1のT-S相間電圧との差の電圧が第3図の整流回路9Cに与えられる。

第1、第2、第3の整流回路9A、9B、9Cはそれぞれ全波整流ダイオードブリッジ10A、10B、10Cと、平滑用コンデンサ11A、11B、11Cと、抵抗12A、12B、12Cとを含み、バイアス設定用抵抗13によつて正電圧にバイアスされている。整流回路9A、9B、9Cの出力電圧は逆流阻止用ダイオード14A、1

4 B, 1 4 C及び入力抵抗1 5 A, 1 5 B, 1 5 Cを介して互いにリンク接続してなるノア回路2 5 A及び2 6 A, 2 5 B及び2 6 B, 2 5 C及び2 6 Cでなるフリップフロップ回路2 7 A, 2 7 B, 2 7 Cにセット入力として与えられる。ここでフリップフロップ回路2 7 Aのノア回路2 5 Aの出力はフリップフロップ回路2 7 B及び2 7 Cのノア回路2 6 B及び2 6 Cに接続され、またフリップフロップ回路2 7 B及び2 7 Cのノア回路2 6 B及び2 6 Cの入、出力間が互いにインターロック接続されている。

フリップフロップ回路2 7 B及び2 7 Cのノア回路2 6 B及び2 6 Cの出力がそれぞれノア回路2 9 A, 3 0 A及び2 9 B, 3 0 Bを介して出力回路3 1 A及び3 1 Bに与えられる。出力回路3 1 A, 3 1 Bはガバナモータ下げ方向出力リレー3 2 A、ガバナモータ上げ出力リレー3 2 Bを有し、フリップフロップ回路2 6 B及び2 6 Cの出力をベース抵抗3 3 A, 3 4 A及び3 3 B, 3 4 Bを介して受ける駆動用トランジスタ3 5 A及び3 5 Bによつて駆動されて出力接点3 8 A及び3 8 Bを閉じる。なお3 6 A, 3 6 Bはサージ吸収用コンデンサ、3 7 A, 3 7 Bは消弧用ダイオードである。

かかる構成に加えて発電機1のガバナモータを円滑に制御するためにパルス幅パルス間隔制御回路4 0が設けられている。このパルス幅パルス間隔制御回路4 0はフリップフロップ回路2 7 A, 2 7 B, 2 7 Cの出力をそれぞれオア回路4 1 A, 4 2 Aを介して受けるパルス幅制御回路部4 1, 30 パルス間隔制御回路4 2を有する。

パルス幅制御回路部4 1はノア回路4 1 B及び4 1 Cでなるフリップフロップ回路構成の記憶回路4 1 Dをセットしてその出力をロック信号として前述のオア回路3 0 A, 3 0 Bに送出すると共に、オア回路4 1 A, 4 2 Aにも同様のロック信号を与えるガバナ駆動時限回路4 1 Eをもつ。このガバナ駆動時限回路4 1 Eはノア回路4 1 Aの出力が論理「1」になったとき逆流阻止用ダイオード4 1 F、時定数調整用可変抵抗4 1 Gを介して充放電用コンデンサ4 1 Hを比較的ゆつくりと充電して行き、その後ノア回路3 0 A又は3 0 Bの出力端に接続されたダイオード4 1 J又は4 1 Kを通じ、さらに時定数調整用可変抵抗4 1 Lを

通じて充放電用コンデンサ4 1 Hをさらに一段と急速に充電して行うようになされている。

コンデンサ4 1 Hにはツェナーダイオード4 1 Mが接続され、コンデンサ4 1 Hの充電電圧がツェナー電圧を越えたとき記憶回路4 1 Dのノア回路4 1 Bにセット入力を与えるようになされている。一方記憶回路4 1 Dのノア回路4 1 Cには抵抗4 1 N、コンデンサ4 1 P及び抵抗4 1 Qでなる一次遅れ回路4 1 Rが接続され、パルス間隔制御回路4 2の一定時限回路4 2 Bに出力が得られたときこれを一次遅れ回路4 1 Rで微少時間遅らせて記憶回路4 1 Dにリセット入力として与えるようになされている。

一方パルス間隔制御回路4 2はノア回路4 2 Aの出力が論理「1」となったとき逆流阻止用ダイオード4 2 C、時定数調整用可変抵抗4 2 Dを介して充放電用コンデンサ4 2 Eを充電し、その後ノア回路4 2 Aの出力が論理「0」となったときコンデンサ4 2 Eの充電電圧を時定数調整用可変抵抗4 2 Fを介しさらにノア回路4 2 Gを介して放電させることによりその放電時間の経過後ノア回路4 2 Gの出力を反転させて一定時限回路4 2 Bを動作させ、その出力をリセット信号としてフリップフロップ回路2 7 A, 2 7 B, 2 7 Cと、記憶回路4 1 Dとに与えて一巡動作を終了させる。一定時限回路4 2 Bは時定数調整用可変抵抗4 2 H及びダイオード4 2 Jの並列回路を介してノア回路4 2 Gの出力によつて充放電用コンデンサ4 2 Kを充電し、その充電電圧がツェナーダイオード4 2 Lのツェナー電圧を越えたとき、ノア回路4 2 M, 4 2 Nを通じてリセット信号を送出する。

ここで第1図のノア回路2 6 A, 2 6 B, 2 6 C、ノア回路2 9 A, 2 9 B及び3 0 A, 3 0 B、ノア回路4 1 A, 4 2 A, 4 2 G, 4 2 Nは第2図Aに示すと同様の記号で表わされており、例えば3入力のものとして第2図Bに示す如くトランジスタ4 3 Aのベースに入力抵抗4 3 B, 4 3 C, 4 3 Dを接続し、コレクタから出力を送出する構成を有するものとする。なお4 3 Eはバイアス抵抗、4 3 Fはコレクタを抵抗である。また第1図のノア回路2 5 A, 2 5 B, 2 5 C、ノア回路4 1 B, 4 1 C, 4 2 Mは第2図Cに示すと同様の記号で表わされており、第2図Bにおいて

入力抵抗 43B, 43C, 43D を省略して入力を直接トランジスタ 43A に与えるようになされているものとする。

第2図Bのノア回路において、入力抵抗 43B, 43C, 43D のうちの1つ例えば入力抵抗 43B に予定の値以上の正の電圧が到来するとトランジスタ 43A にベース電流が流れてスイッチングし、コレクタ電位が 0[V] になり、これが出力として送出される。これに対して入力端子のいずれにも正の入力がない場合にはトランジスタ 43A は非導通となつてコレクタの電位は正電源の電圧となり、これが出力として送出される。かかる動作を以下「入力に論理「1」が入ったとき出力が「0」となり、入力に「0」が入ったとき出力が「1」になる」と表現する。

第1図の従来の自動搬送装置は次のように動作する。まず第1及び第2の補助変圧器 4 及び 7 は系統の R-S 相間電圧と、発電機 1 の R-S 相間電圧との差をとつてうなり電圧を発生させ、第1の整流回路 9A の全波整流器 10A で整流し、交流分をコンデンサ 11A で吸収し、かくして第3図Aに示す如きうなり周波数の脈動直流電圧波形 V_A を発生させ、これにバイアス設定器 13 を用いて正のバイアスを加え（第3図Aの点線で 0[V] のレベルを示す）、谷の部分のみが正となるような出力電圧を作る。従つてノア回路 25A は整流回路 9A の出力が点線 0[V] より正のとき出力が論理「0」になりこれをフリップフロップ回路 27A の出力として送出する。しかるにフリップフロップ回路 27A は一度出力が「0」になるとノア回路 25A の出力が「0」、ノア回路 26A の出力が「1」となる。この出力はノア回路 25A の入力に入っているからその後ダイオード 14A から入る信号が「0」になつたとしても以後この「0」出力を保持することになる。

次に第1及び第3の補助変圧器 4 及び 8 は同様に系統側の R-S 相間電圧と発電機 1 の S-T 相間電圧との差をとつてうなりを発生させ、系統の周波数より発電機の周波数が高いとき、第3図Bに示すように第3図Aの場合より 120° 遅れの脈動電圧 V_B を第2の整流回路 9B から発生する。

さらに第1、第2、第3の補助変圧器 4, 7, 8 は系統側の R-S 相間電圧と発電機 1 の T-R 相間電圧との差をとつたと同様のうなりを発生さ

せ、系統の周波数より発電機 1 の周波数が高いとき第3図Cに示すように第3図Bの場合よりさらに 120° 遅れた脈動電圧 V_C を第3の整流回路 9C から発生する。

このようにすると脈動電圧の谷の来る順番は発電機 1 の周波数が系統より高いときは脈動電圧 V_A (第3図A) → 脈動電圧 V_B (第3図B) → 脈動電圧 V_C (第3図C) の順であり、逆に発電機 1 の周波数が低いときは脈動電圧 V_A → 脈動電圧 V_C → 脈動電圧 V_B の順となる。従つて第1図の場合は、まず脈動電圧 V_A (第3図A) が到来したことをノア回路 25A, 26A で検出して記憶し、次に脈動電圧 V_B (第3図B) が到来するか、又は脈動電圧 V_C (第3図C) が到来するかを検出する。

今第3図A~Cのように脈動電圧 V_A の次に脈動電圧 V_B が到来したとすれば、フリップフロップ回路 27B のノア回路 25B の入力端に論理「1」の入力を与えることにより、ノア回路 25B の出力を「0」とする。このときノア回路 26B の入力端には、パルス幅パルス間隔制御回路 40 よりのリセットパルスが「0」、ノア回路 25A の出力が「0」、ノア回路 26C の出力が「0」であり、さらに脈動電圧 V_C も未だ到来していないのでノア回路 26C の出力も「0」となる。かくして全ての入力「0」であるため、ノア回路 26B の出力は「1」となる。

ノア回路 26B の出力が「1」になると、その後ノア回路 25C に脈動電圧 V_C が到来してもこのフリップフロップ回路 27C が動作しないようにロック信号を送出すると共に、ノア回路 29A の入力を「1」(従つてその出力を「0」)、ノア回路 30A の入力「0」(従つてその出力を「1」) とし、トランジスタ 35A をスイッチングさせてリレー 32A を動作させる。

このときノア回路 30A 及び 30B の出力はダイオード 41J 及び 41K を介してガバナ駆動時間回路 41E に与えられ、リレー 32A 又は 32B が動作する最初の信号によつて限時動作を開始する。

すなわち第4図において時点 t_0 で脈動電圧 V_A が到来してノア回路 41A の出力が「1」になると、コンデンサ 41H は符号 K_1 で示す如く抵抗 41G によつて比較的ゆっくりと充電されて行く。やがて時点 t_1 で脈動電圧 V_B が到来してノア回

路30Aが「1」になると、コンデンサ41Hはダイオード41Kを介して符号K₂で示す如く抵抗41Lによつて比較的急激に再充電されて行く。その後時点t₂でツエナーダイオード41Mのツエナー電圧を越えると、ガバナ駆動時限回路41Eが記憶回路41Dにセット入力を与える。

従つて記憶回路41Dはそのセット出力によつてノア回路30A及び30Bをロックしてリレー32Aを不動作にすると共に、このロック信号をノア回路41Aに与えることによりこの状態を自己保持させる。かくして発電機1の原動機のガバナモータはリレー32Aの出力によつて第4図の時点t₀~t₁の間の時間Tだけ下げ方向に回転して発電機1の周波数を下げる。

このようにパルス幅制御回路41のノア回路41Aは脈動電圧V_Aが到来すると以後脈動電圧V_B又はV_Cが到来するまで入力が全て「0」になるため出力は「1」になる。

しかるに脈動電圧V_Aの周期Tは

$$T = \frac{1}{f_1 - f_2} = \frac{1}{\Delta f} \text{ [秒]} \quad \dots\dots(1)$$

となる。ここでf₁は発電機1の周波数〔Hz〕、f₂は系統の周波数〔Hz〕、Δf(=f₁-f₂)は周波数差〔Hz〕である。一方脈動電圧V_Aが到来してから脈動電圧V_B又はV_Cが到来するまでの間は位相が120°ずれており、従つてノア回路42Aの出力が「1」になっている時間T₁は

$$T_1 = \frac{120^\circ}{360^\circ} \times T = \frac{1}{3} \times \frac{1}{\Delta f} = \frac{1}{3\Delta f} \text{ [秒]} \quad \dots\dots(2)$$

となる。この時間T₁は第4図の時点t₀~t₁と等しくなり、発電機1の周波数f₁と、系統の周波数f₂との差Δfに対応することになる。

一方第4図の時点t₁~t₂の時間t_cは可変抵抗41Gの値Rを可変して充電時定数を変更することにより、変化する。

以上の関係を第5図に示す。

次にパルス間隔制御回路42のノア回路42Aはパルス幅制御回路41のノア回路41Aと同じ条件で開く。従つてコンデンサ42Eは第4図の

時点t₀~t₁と同じ時間T₁= $\frac{1}{3\Delta f}$ の間のダイオード

42C、抵抗42Dを介して充電され、これによりコンデンサ42Eの両端に第6図に示す如き充

電電圧E_cが確立される。すなわちコンデンサ42Eを $\frac{1}{3\Delta f}$ 〔秒〕だけ充電すると、コンデンサ42E及び抵抗42Dの積に比例した時定数でコンデンサ42Eの両端電圧が上昇する。

ところで $\frac{1}{3\Delta f}$ だけ時間が経過すると、脈動電

圧V_B又はV_Cが到来してフリップフロップ回路27B又は27Cがセットされてノア回路26B又は26Cの出力が「1」となるので、ノア回路42Aの出力は「0」になる。そこでコンデンサ42Eの充電電荷は抵抗42F、ノア回路42Gを介して放電し始める。この放電開始時にはノア回路42Gの出力は「0」の状態にあるが、コンデンサ42Eの放電が進んで時点t₁において充電電圧E_cが感動電圧E₁より低下したときノア回路42Gの出力は「1」に立上る。このようにして放電開始時点t₁から時点t₂に到るまでの時間T_{p1}がパルス間隔時間(すなわち駆動周期)となる。なおこのパルス間隔時間は可変抵抗42Fを調整することにより、T_{p2}、T_{p3}のように可変できる。

またこのパルス間隔時間は第7図に示す如く

$\frac{1}{3\Delta f}$ の充電時間が長くなる程長くなり、換言す

ればΔfが小さい程長くなる。このような反限時特性は第5図の特性と共に、発電機のように慣性の大きい機械の回転数を制御して定格回転数にまで立ち上げる際にオーバーシュートをなくしてハンチングをなくすために、規定周波数(すなわちΔfが零)に近づくに従つてガバナモータの動作時間を短くすると共に、パルス間隔を大きくして安定、円滑に制御するために有効である。

前述のようにノア回路42Gの出力が「1」に立上ると一定時限回路42Bが限時動作を開始し、その限時時間の経過後に送出される限時出力によつてフリップフロップ回路27A、27B、27C、41Dをリセットし、次の脈動電圧V_Aの到来を待つ。なおかくしてこの一定時限回路42Bは充電時間が小さいときでも最小限のパルス間隔を確保するために設けられているものである。

次に発電機1の周波数が低い場合は、脈動電圧V_A(第3図A)→脈動電圧V_C(第3図C)→脈動電圧V_B(第3図B)の順序で谷部分が到来する。

従つてノア回路25Aの出力が「0」になつた後にその次にノア回路25C先に「1」が到来し、リレー32Bを動作させると同時にノア回路26Bの出力が「1」になるのをロックする。このとき上述の場合と同様にしてパルス幅制御回路41、パルス間隔制御回路42が動作してパルス幅、パルス間隔を制御し、発電機1の原動機のガバナモータを上げ方向に回転させて発電機の周波数を上げて系統の周波数に一致させるように動作する。

第1図の自動節速装置は以上の構成のパルス幅パルス間隔制御回路40を用いているが、時定数調整用可変抵抗41G、41L、42D、42Fの許容誤差が±5(%)程度はあり、また充放電用コンデンサ41H、42Eの許容誤差が±10(%)程度はあるためこれが各種時限の誤差の原因となるを避け得ず、さらにノア回路42Gの降下電圧もトランジスタ43A(第2図B)の増幅度 h_{fe} のパラツキによつてばらつくためこれが第5図及び第7図のガバナモータ駆動特性及びパルス間隔特性に変換すると無視し得ないパラツキを避け得なかつた。かかる問題を回避するため従来は可変抵抗の位置に対応するテストデータを予めとつておいてこのデータに基づいてガバナモータの駆動時限、駆動周期及び一定時限を微調整するようにしていた。

本発明はかかる従来装置の欠点を除去するためになされたもので、発電機の原動機ガバナモータの駆動時限及び周期を制御するパルス幅パルス間隔制御回路40をデジタル化することによつて微調整及びテストデータの必要性をなくし、かくして回路のコストは多少高くなるが調整費を安くし得、またコストは同じ程度で装置ごとの特性バラツキをほとんどなくし、さらに時限動作についても精度の良い水晶発振器を利用できるようにすることにより経年変化をなくすことができる自動節速装置を提案しようとするものである。

以下第1図との対応部分に同一符号を附して示す第8図について本発明の一例を詳述するに、系統側計器用変圧器3の二次側に得られる第9図BUSに示す如き系統側交流電圧 V_{BUS} は補助変圧器45を通じて矩形波発生回路46に与えられ、その矩形波出力が排他的論理和ゲート47A、47B、47Cに一方の入力として与えられる。

また発電機側R-S相間電圧計器用変圧器5の出力 V_{GEN} (第8図GEN)は補助変圧器7の一方の二次巻線7Aから矩形波発生回路48Aに与えられる。さらに発電機側S-T相間電圧計器用変圧器6の出力は補助変圧器8の一方の二次巻線8Aから矩形波発生回路48Bに与えられる。これに対して補助変圧器7及び8の他方の二次巻線7B及び8Bが互いに接続され、その両端間に得られるT-R相間電圧が矩形波発生回路48Cに与えられる。これらの矩形波発生回路48A、48B、48Cの出力はそれぞれ排他的論理和ゲート47A、47B、47Cに他方の入力として与えられる。

かくして排他的論理和ゲート47A、47B、47Cの出力端には系統側R-S相間電圧に対する発電機側R-S相間電圧、S-T相間電圧、T-R相間電圧の位相差を喪失せずパルス出力をそれぞれ発生し、このパルス出力をパルス幅検出回路49A、49B、49Cに与える。このパルス幅検出回路49A、49B、49Cは各パルス出力のパルス幅従つて位相差が予定値以上となつたときこれを検出してそれぞれフリップフロップ回路50A、50B、50Cにセット入力として与える。

フリップフロップ回路50A、50B、50Cはそれぞれナンド回路51A及び52A、51B及び52B、51C及び52Cでなり、第1図について上述したと同様にしてフリップフロップ回路50Aの出力がフリップフロップ回路50B及び50Cにリセット入力として与えられる。またこのフリップフロップ回路50B及び50Cは第1図について上述したと同様に相互にインターロックループを有し、出力をそれぞれナンド回路53A及び53B、54A及び54B、インバータ55A及び55Bを介して出力回路31A及び31Bに与える。

一方フリップフロップ回路50A、50B、50Cの出力はパルス幅パルス間隔制御回路57の入力ナンド回路58に与えられ、制御回路57の出力によつてナンド回路54A及び54Bをロックすると共に、一定時間後にフリップフロップ回路50A、50B、50Cと一緒にリセットするようになされている。

ナンド回路58の出力はインバータ61、62

を介して抵抗63及びコンデンサ64でなる積分回路に与えられ、その出力をインバータ61の出力を受けるシュミット回路に与える。かくしてシュミット回路65にはパルス出力が得られこれがナンド回路66を介して第1のアップカウンタ67にリセット信号として与えられる。これに対してこの第1のアップカウンタ67のカウンタ入力として、例えば水晶発振回路構成のパルス発振器68の出力が、2進カウンタ構成の分周器69及び70によつて分周され、ナンド回路58の出力をインバータ71を介して閉信号として与えられるナンド回路72を介して入力される。

この第1のアップカウンタ67のカウンタ内容はP-ROM73を介してプリセットができるダウンカウンタ74にセット入力として与えられる。一方ナンド回路58の出力はインバータ61を介しさらに抵抗75及びコンデンサ76でなる積分回路を介して一方の入力として与えられるシュミット回路77に直接与えられ、その出力がプリセットができるカウンタ74に対するリセット信号としてナンドゲート78を介して与えられる。そしてプリセットができるカウンタ74のカウンタ入力として、パルス発振器68の出力が、2進カウンタ69によつて分周された後ナンド回路79を介してダウンカウンタ入力として与えられ、このカウンタ74の出力がナンド回路80及び81でなるフリップフロップ回路構成の記憶回路82にセット入力として与えられる。

この記憶回路82はリセット出力をナンド回路54A、54B、58にロック又は自己保持信号として与えると共に、セット出力をナンド回路83を介して一定時間タイマ84に起動信号として与える。

かかる構成に加えて、ナンド回路66の出力が第2のアップカウンタ86にリセット信号として与えられ、そのカウンタ入力としてパルス発振器68の出力が分周器69及び87を介しさらにナンド回路88（インバータ71の出力によつて制御されている）を介して与えられる。

この第2のアップカウンタ86のカウンタ内容は第2のP-ROM89を介して第2のプリセットできるダウンカウンタ90にセット入力として与えられる。このプリセットできるダウンカウンタ90には、カウンタ入力としてパルス発振器6

8の出力が分周器69、ナンド回路91（ナンド回路58の出力を開信号として受ける）を介して与えられ、またリセット入力としてナンド回路78の出力が与えられ、さらにカウンタ90の出力がナンド回路92及び93でなるフリップフロップ回路構成の記憶回路94にセット入力として与えられる。

この記憶回路94はそのセット出力をナンド回路83を介して一定時間タイマ84に起動信号として与える。

かくして起動される一定時間タイマ84の出力は記憶回路82及び84にリセット信号として与えられると共に、フリップフロップ回路50A、50B、50Cに対してリセット信号として与えられる。

以上の構成において、第8図の系統側計器用変圧器3の出力電圧 V_{BUS} （第9図BUS）についてその×印の方が正極性のとき論理「H」、負極性のとき論理「L」となる矩形波出力が矩形波発生回路46から送出される。また発電機側のR-S相の計器用変圧器5の出力電圧 V_{GEN} （第9図GEN）についても同様の矩形波出力が矩形波発生回路48Aから送出される。発電機側のS-T相の計器用変圧器6の出力電圧も全く同様にして矩形波出力が矩形波発生回路48Bから送出されるのに対して、発電機側のT-R相の電圧は補助変圧器7及び8の二次コイルの出力をベクトル合成して得ることにより矩形波発生回路48Cから対応する矩形波出力が送出される。

なおこの実施例の場合補助トランス45、7、8は110Vの電圧を半導体回路に適する10V近辺の電圧にまで降下するために用いられている。

系統側のR-S相矩形波出力と、発電機側のR-S相矩形波出力を排他的論理和ゲート47Aに入力すると、その出力端は第9図Aに示すような位相差に比例したパルス幅をもつパルス列 P_A が発生する。このパルス列 P_A を、一定パルス幅以上になつたとき「L」パルスが発生するパルス幅検出回路49Aへ入力すると、第9図A1に示す如く、位相差が180°近傍で「L」パルス P_{A1} が発生する。

また系統側のR-S相矩形波出力、発電機側のS-T相矩形波出力に基づいて得られるパルス列 P_B 及び P_{B1} は、第9図B及びB1に示す如く上述

のバルス列 P_A より 120° 遅れて発生する。さらに系統側のR-S相矩形波出力と、発電機側のT-R相矩形波出力とではバルス列 P_B よりさらに 120° 遅れた状態のバルス列 P_C 及び P_D が発生する。(第9図C及びC₁)。

ここでフリップフロップ回路50Aが先ずバルス P_{A1} が発生したことを記憶する。バルス P_{A1} の次にバルス P_{B1} が発生すれば、これをフリップフロップ回路50Bが記憶し、そのナンド回路52Bの出力が「L」ナンド回路53Aの出力が「H」、ナンド回路54Aの出力が「L」、インバータ55Aの出力が「H」となり、トランジスタ35Aがスイッチングしてリレー32Aが動作する。

このときバルス幅バルス間隔制御回路57のナンド回路58の出力S1は第10図Aに示すようにバルス P_{A1} が到来した時点 t_{s1} からバルス P_{B1} が到来した時点 t_{s2} までの間「L」となり、積分回路のコンデンサ64の端子電圧S2は第10図Bのように1度立下つた後に立上る。そこでシュミット回路65は第10図Cのようにバルス P_{A1} が到来した時点で「L」に立下るバルス S_3 を発生する。ナンド回路66はシュミット回路65の出力を受けてバルス P_{A1} が到来したとき「H」に立上るバルス S_4 を発生し(第10図D)、このとき2進のアップカウンタ67を零にプリセットする。またアップカウンタ67のクロック端子にはバルス発振器68で発生したバルスが2進カウンタ69及び70を介して与えられ、バルス P_{A1} が来てからバルス P_{B1} が来るまでの時間をバルスの数に変換する。

いま発振器68の発振周波数を1(MHz)とした場合の例について説明すると、2進カウンタ69は 2^{14} 個のバルスが入つたとき1個のバルスを出力するようにしており、2進カウンタ70は後述するようにバイパスされているものとする。アップカウンタ67は第11図に示すようにカウンタ69に 2^{14} 個のバルスが入力するごとに(換言すれば0.016384秒ごとに)1回カウントパルスを受ける。時点 $t_{s1} \sim t_{s2}$ の期間がこの値になれば、周波数差 Δf は20.345(Hz)に相当する。同様に 2^{14} をベースにこの時間の1~31倍の時間が計測され、それに応じて2進カウンタ(この場合 2^6 のカウントがある)の各フリップフロップからP-ROM73へ出力が与えられる。P-ROM73

の入力には上述のように1~31の2進の値が与えられる。この2進の値は第11図に示しているように周波数差 Δf に対応しているものである。

次にP-ROM73のセットが第12図の表の5ようになっている。すなわち入力「0」~「1」のときは出力「15」、入力「2」のときは出力「12」、入力「3」のときは出力「8」、入力「4」のときは出力「6」………というように第12図に示すような、入力対出力特性にセットされる。かくしてこのP-ROM73はガバナモータ駆動時限のタイマのデジタル設定の機能を果し、入力には周波数差 Δf に対して計測した「1」~「31」の入力が入り、これに対応したタイマ時限を設定する。

これに対してガバナモータ駆動時限はプリセットできるダウンカウンタ74で設定する。ダウンカウンタ74のロック端子には第13図に示すように1(MHz)のバルスを $1/2^{17}$ 分周した0.131072秒に1回の分周パルスが到来しており、第10図Hに示すように脈動電圧A1が到来した時点 t_{s1} から脈動電圧B1が到来する時点 t_{s2} までの時間を測つてナンド回路78の出力S8が「H」となつたときにP-ROM73の出力をプリセットする。すなわちインバータ71の出力S5(第10図E)が時点 t_{s2} で立下り、コンデンサ76の出力電圧S6(第10図F)が低下して行くと、これをシュミット77が検出して出力S7(第10図G)を送出し、ナンド回路78の出力S8(第10図H)としてカウンタ74に与える。時点 t_{s2} で脈動電圧B1が過ぎるとナンド回路58の出力が「H」になるためナンド回路79から $1/2^{17}$ の分周パルスが出て、P-ROM73の出力によってダウンカウンタ74に設定した値からダウンカウントして減算していく。ダウンカウンタ74の出力が零になるとそのキヤリーアウト出力端子から「L」パルスが出力されて記憶回路82に記憶されると共に、ナンド回路54A及び54Bにロックパルスを与えてリレー32A、32Bを不動作にし、同時にナンド回路58の出力を「H」に固定する。

このガバナ駆動時限の特性をまとめると第14図のようになる。すなわちP-ROM73の入力が「2」までは Δf は大きい(入力「2」のとき Δf は10.172(Hz)に相当する)、時限は長くな

る。(P-ROM 73の出力は「15」にしてあり、1.96608〔秒〕にセットされている)。またP-ROM 73の入力が〔3〕になると脈動電圧A1が到来してから脈動電圧B1が到来するまでの時
限は0.049〔秒〕で、 Δf は6.782〔Hz〕に相当し、こ
れまではP-ROM 73の出力は〔12〕になつて
いるためガバナモータ駆動時限は1.572864〔秒〕
になる。このようにして以下第14図の爽線で示
す階段状の特性をつくることことができる。

次に2進カウンタ70のバイパスを止めて2進
カウンタを1個入れて入力パルスを1/2にすると、
周波数差 Δf が半分になつたのと同じとなり、第
14図の点線のようにガバナモータ駆動時間の特
性を変えることができる。これは見かけ上ゲイン
を大きくしたのと同じとなる。さらに2進カウン
タを2個にして入力パルスを1/4に分周すると周
波数差 Δf が1/4になつたのと同じ駆動時限となり
第14図の一点鎖線の特性にできる。

なおナンド回路66及び78の一方の入力端に
与えられている電圧Iは電源が入った瞬間にカウ
ンタ67を零にプリセットすると共に、ダウンカ
ウンタ74をP-ROM 73の出力にプリセット
することにより誤動作を阻止するための回路であ
る。

これに対してガバナモータ駆動周期の設定は第
2のアップカウンタ86によつてする。アップカ
ウンタ86は上述の第1のアップカウンタ67と
同じように脈動電圧B1がくるまでの時間 $\frac{1}{3\Delta f}$

だけパルスを測つて周波数差に対応した入力(第
11図示している入力)をP-ROM 89に与え
る。ただし分周器87は先にのべた分周器70と
は異なる分周率を選定できるようになつている。

駆動周期用の第2のP-ROM 89のセットは
第15図の表のようになつている。すなわち入力
が「0」～「3」のときは出力は「0」、入力が
「4」のときは出力は「1」、入力が「5」のとき
は出力は「3」、入力が「7」のときは「7」…
……のようにセットされる。このP-ROM 89
の出力は周波数差 Δf に対応した駆動周期のデジ
タルタイマのデジタル(2進)の設定をする機能
を果す。

第2のプリセットできるダウンカウンタ90は
上述のダウンカウンタ74と同じもので、これの

クロック端子には分周器69の 2^{16} の端子から1
〔MHz〕を $1/2^{16}$ に分周したパルスが与えられる。
従つて0.524288〔秒〕に1回の割合でパルスが到
来するので、P-ROM 89で出力を「1」にセ
ットすると駆動周期は0.524288秒となる。

しかるに先ず脈動電圧A1がくると、ナンド回
路66の出力S4(第10図D)が「H」になり
アップカウンタ86に零をプリセットする。脈動
電圧A1がきてから脈動電圧B1がくるまでの間

に第11図に示すように $\frac{1}{\Delta 3\Delta f}$ を測定して、周波

数差に対応した出力をP-ROM 89に与え、脈
動電圧B1がくるとナンド回路78の出力S8
(第10図H)が「H」になつて周波数差に対応
したP-ROM 89の出力をダウンカウンタ90
にプリセットする。その後0.52488〔秒〕ごとに到
来するパルスによつてダウンカウンタ90がダウ
ンカウントし、ダウンカウンタ90のカウント数
が零になるとそのキヤリアウト出力として
「L」パルスを発生させて、これを記憶回路94
に記憶する。

ガバナモータ駆動時限が終了するとナンド回路
80の出力が「H」となり、また駆動周期の時限
も終了するとナンド回路83の出力が「L」とな
る。従つて一定時限タイマ84が起動し、一定
時限後に「L」パルスを発生してナンド回路52
A, 52B, 52C, 81, 93にリセット信号
を与えて自動減速装置を全体として初期の状態に
もどす。この一定時限タイマ84は駆動周期が零
になつても必ず一定のパルス間隔を発生させるた
めのものでダウンカウンタ74及び90と同様に
デジタルタイマを利用できる。

かくして駆動周期の特性をまとめると、従来第
7図のような特性のものを第17図のような階段
状のものに変えて運用することになる。

なお脈動電圧A1がきてから脈動電圧B1がき
た後、さらに脈動電圧C1がきても、リレー32
Bが動作しないようにフリップフロップ回路50
B及び50C間にインターロックが入れてあり、
例えば一旦脈動電圧B1を検出するとその後一定
時限回路84からリセット信号がでるまでは脈動
電圧C1に基づく信号を受けつけないようになつ
ている。

以上のようにリレー32A、あるいはリレー3

2 Bにて発電機をガバナモータ駆動時間だけ回転させ、さらに駆動周期のみ休み（駆動周期は零のこともある）、一定時限のみパルス間隔をあけてさらに周波数差を検出して同じように発電機の周波数を系統の周波数に一致させるように制御する。かくして周波数差 Δf が許容値以内になつたとき自動同期装置を使用して発電機を系統へ並列する。

なお、上記実施例では、パルス発振器の周波数を1〔MHz〕として説明したがもつと低い周波数にして分周器69の分周率を小さくしても同様の効果を得ることができる。

また周波数差 Δf をアップカウンタ67あるいは86で検出するようにしているがダウンカウンタでも良く、この場合はP-ROM73あるいは89のセットを必要に応じて変えれば同様の効果を得ることができる。

また、第18図のように第8図の排他的論理和ゲート47A~47Cのうしろに、ナンド回路100A~100Cを入れて、H-Lの極性を反転すれば精密タイマ49A~49Cに入る信号は、第19図のA', B', C'のように二つの交流の位相差に逆比例したパルス幅をもつパルス列を得ることができる。

すなわち、第9図のAでは同相のときパルス幅零、位相差 180° でパルス幅が最大となつていたが、第19図では、同相のときパルス幅が最大で、位相差が 180° になるとパルス幅が零になる。つまり、第8図の排他的論理和ゲート47A, 47B, 47CのH-Lの極性を反転すると位相差に逆比例したパルス列を得ることができる。

このように、上記二つの交流の位相差に逆比例したパルス幅をもつパルス列にした場合、第9図のときより P_{A1} , P_{B1} , P_{C1} が 180° 進むだけでその他は二つの交流の位相差に比例するパルス幅をもつパルス列の場合と同様の効果を得ることができる。

以上のように本発明によればP-ROMの設定を固定しておき、例えば分周器87あるいは70のタップを選択するといった簡易な操作によつてパルス出力の分周率を変えるだけで、ガバナモータ駆動時限と駆動周期のばらつきをほぼ完全にな

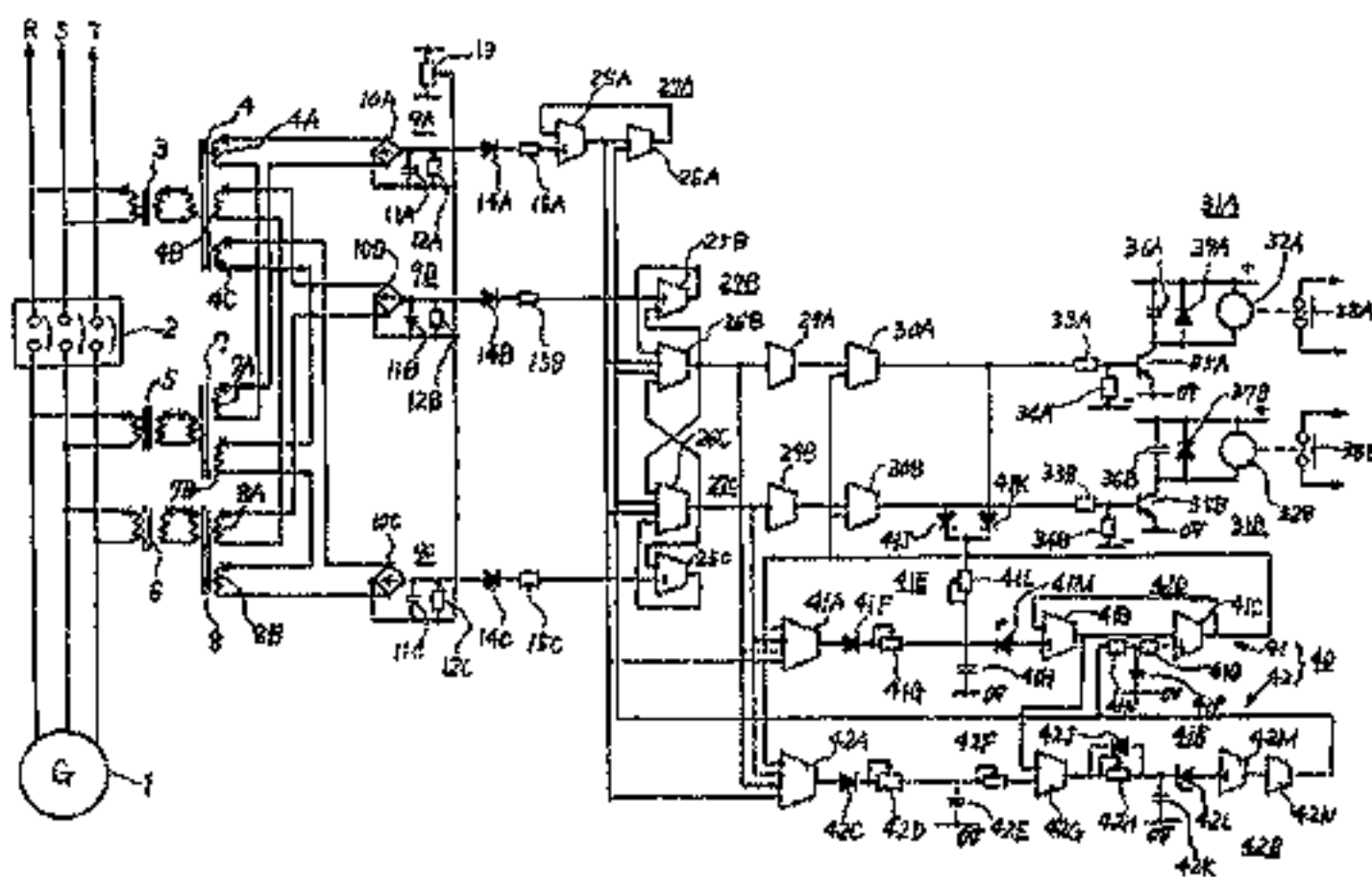
くすることができ、従つて単品毎の微調整やテストデータも不要となり、またパルス発振器を使用しているため経年変化のない正確な時限の自動揃速装置を得ることができる。

5 図面の簡単な説明

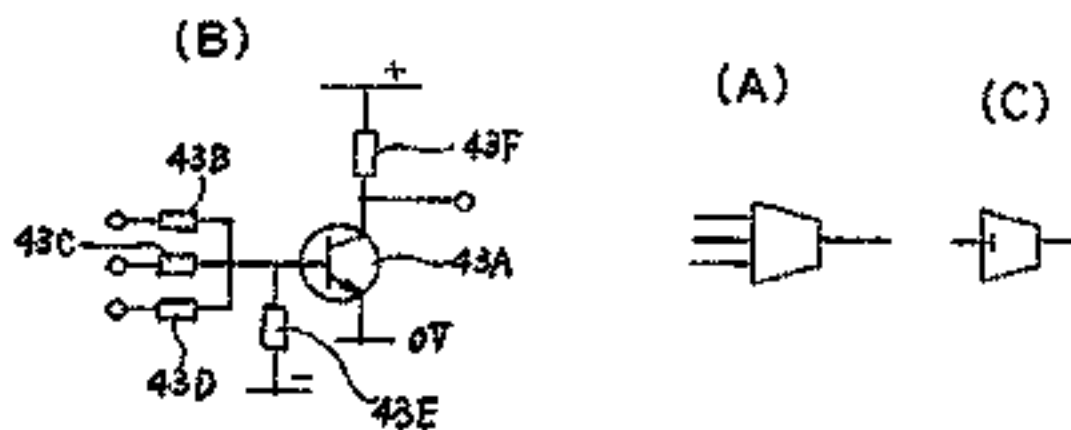
第1図は従来の自動揃速装置の構成を示す接続図、第2図はそのNOR回路の内部構成を示す接続図、第3図は従来の自動揃速装置の動作を説明するための波形図、第4図及び第5図は自動揃速装置のガバナモータ駆動時限を説明するための曲線図、第6図及び第7図は従来の自動揃速装置の駆動周期を説明するための曲線図、第8図は本発明の自動揃速装置の一例を示す接続図、第9図はその動作原理を説明するための波形図、第10図は第8図の動作を説明するための波形図、第11図はアップカウンタの出力と、P-ROMの入力と、周波数差の関係を示す図表、第12図は第1のP-ROMの入力と出力設定の関係を示す図表、第13図は第1のP-ROMの出力とがガバナモータ駆動時限の関係を示す図表、第14図はガバナモータ駆動時限特性を示す曲線、第15図は第2のP-ROMの入力と出力設定の関係を示す図表、第16図は第2のP-ROMと駆動周期（パルス幅間隔）の時限の関係を示す図表、第17図は駆動周期特性を示す曲線図、第18図は第8図に対応する他の実施例を示す接続図、第19図は上記他の実施例の信号波形図である。

1……発電機、2……Lや断器、3, 4, 5……計器用変圧器、7, 8……補助変圧器、31A, 31B……出力回路、32A, 32B……出力用リレー、45……補助変圧器、46, 48A, 48B, 48C……矩形波変換回路、47A, 47B, 47C……排他的論理和ゲート、49A, 49B, 49C……パルス幅検出器、50A, 50B, 50C……記憶回路、67, 86……第1, 第2のアップカウンタ、68……パルス発振器、69, 70, 87……分周器、73, 89……第1, 第2のP-ROM、74, 90……第1, 第2のプリセットできるダウンカウンタ、82, 94……記憶回路、84……一定時限回路。

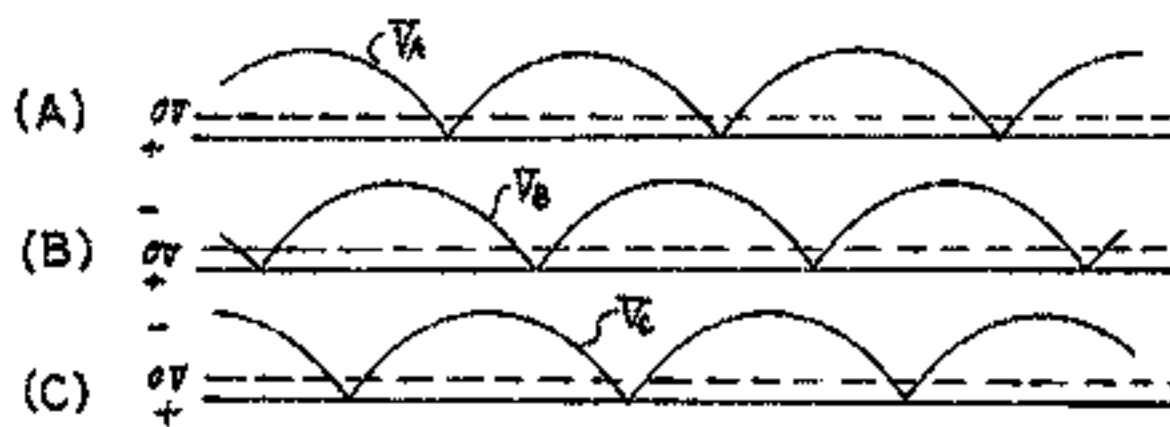
第 1 图



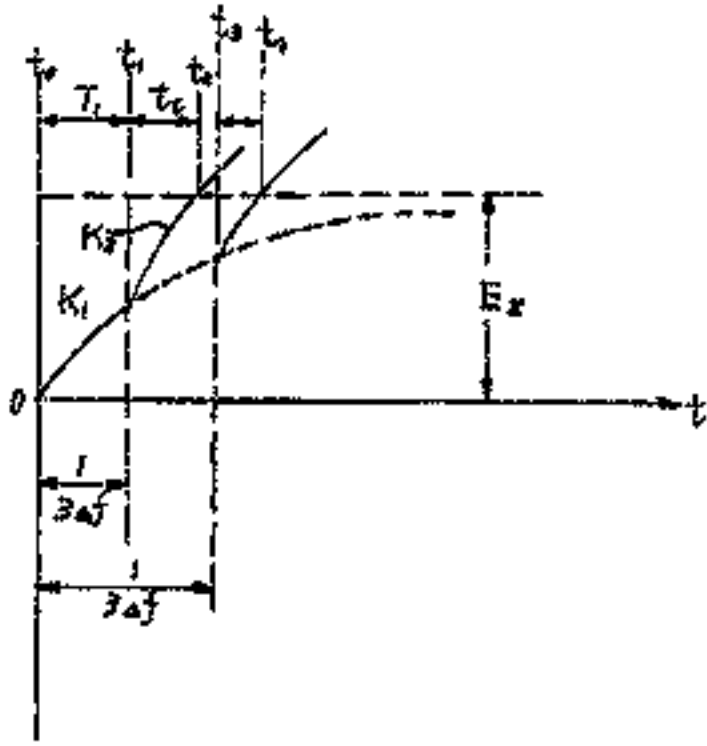
第 2 图



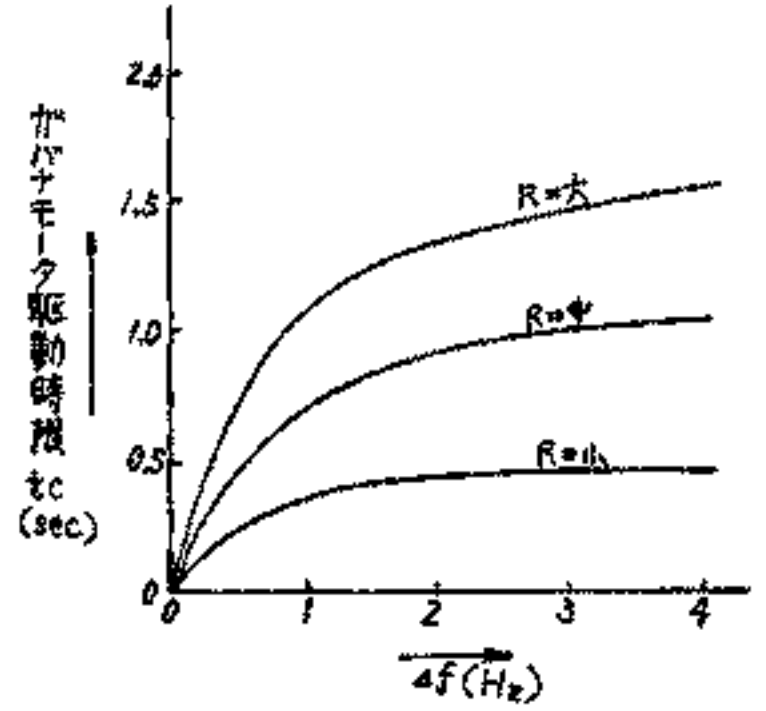
第 3 图



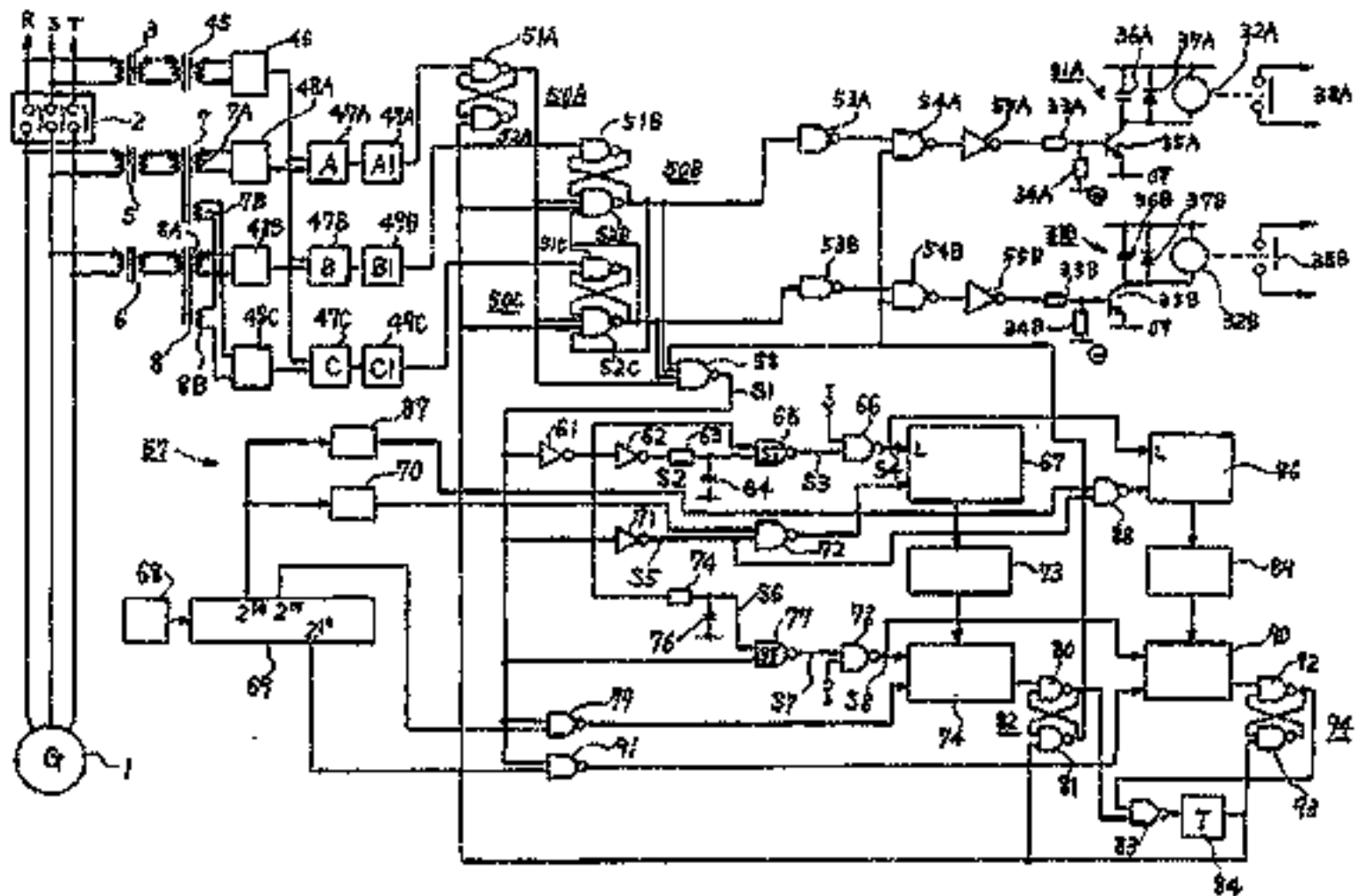
第 4 図



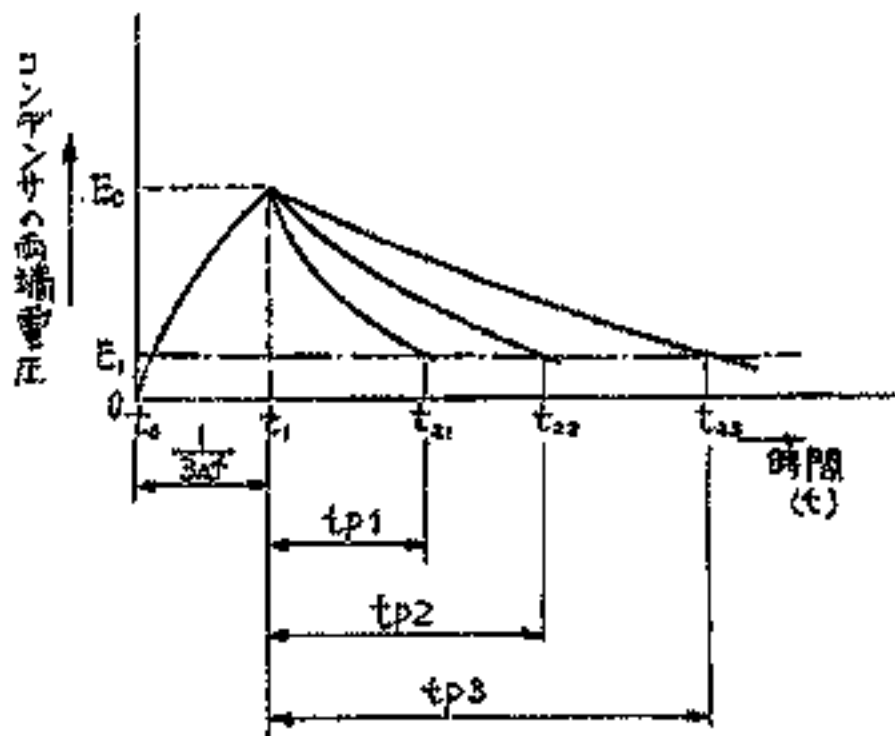
第 5 図



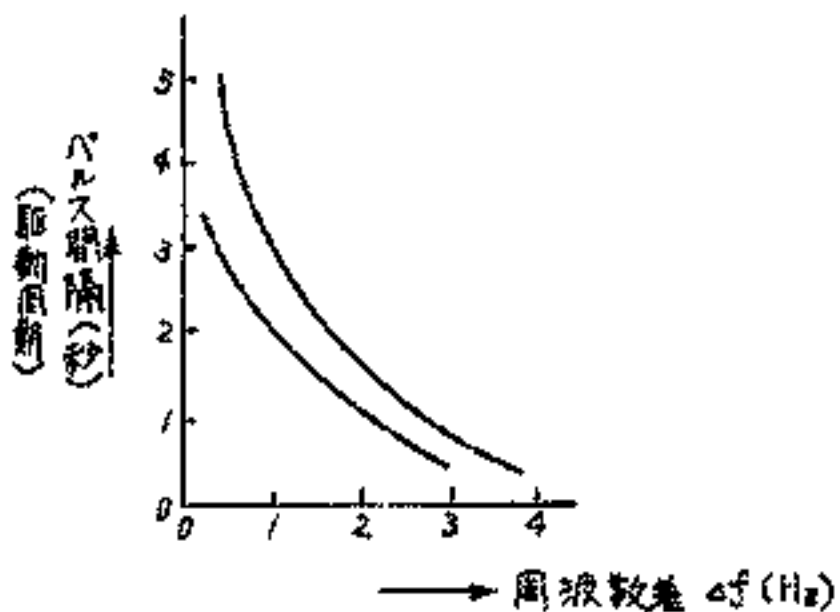
第 8 図



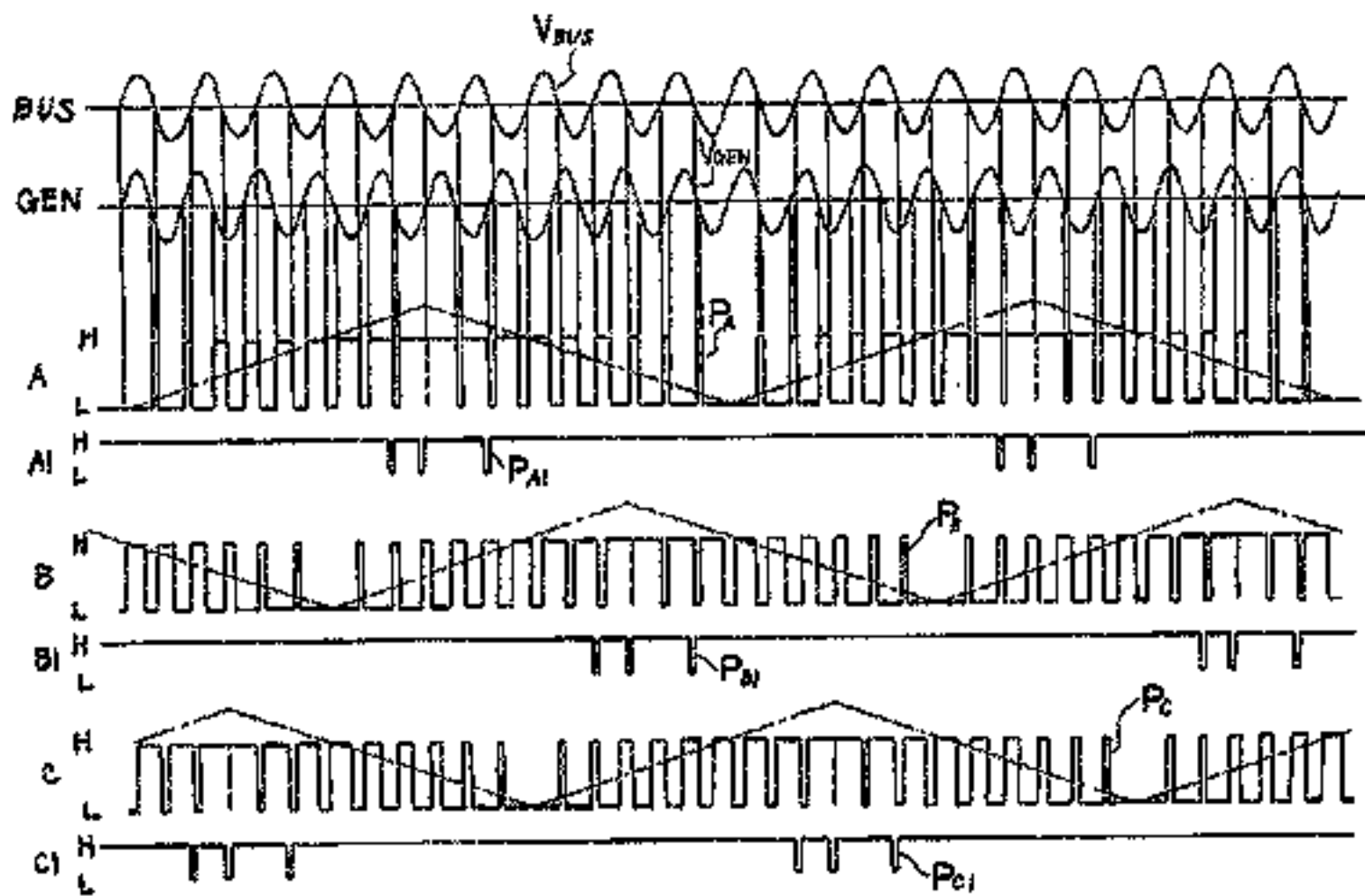
第 6 図



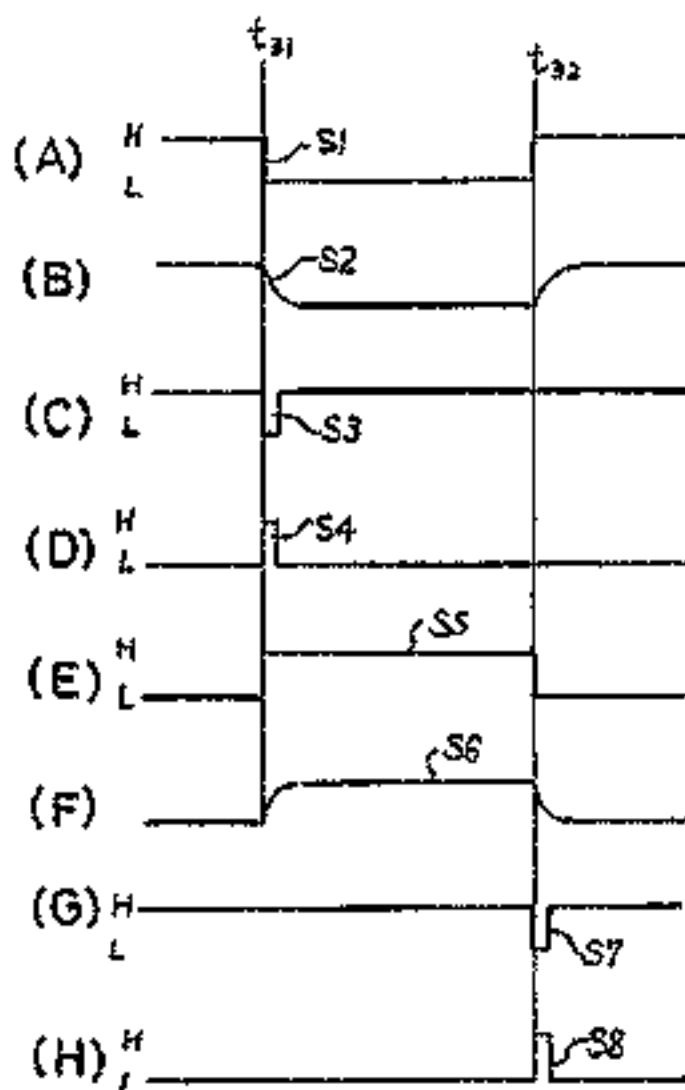
第 7 図



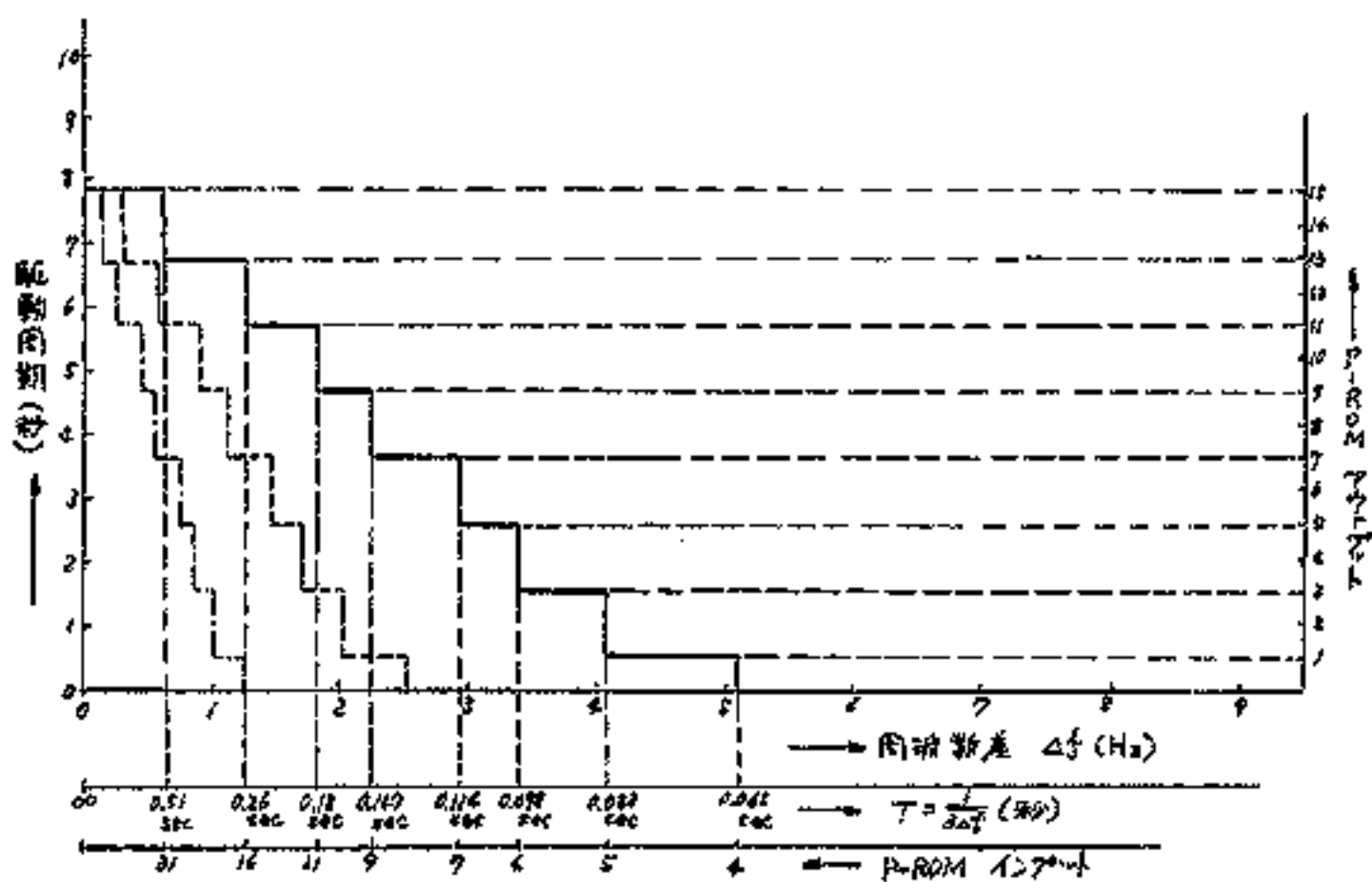
第 9 図



第 10 图



第 17 图



第 11 図

2進出力 数	時 限	R-R 入力	$T = \frac{1}{32f}$	Δf
2^{14}	0.016384 秒	1	0.016384 秒	20.345 Hz
2^{15}	0.032768 秒	2	0.032768 秒	10.172 Hz
		3	0.049152 秒	6.782 Hz
2^{16}	0.065536 秒	4	0.065536 秒	5.086 Hz
		5	0.08192 秒	4.069 Hz
		6	0.098304 秒	3.391 Hz
		7	0.114688 秒	2.906 Hz
2^{17}	0.131072 秒	8	0.131072 秒	2.543 Hz
		9	0.147456 秒	2.261 Hz
		10	0.16384 秒	2.035 Hz
		11	0.180224 秒	1.850 Hz
		12	0.196608 秒	1.695 Hz
		13	0.212992 秒	1.565 Hz
		14	0.229376 秒	1.453 Hz
		15	0.24576 秒	1.356 Hz
2^{18}	0.262144 秒	16	0.262144 秒	1.272 Hz
		⋮		
		⋮		
		⋮		
		31	0.507904 秒	0.656 Hz

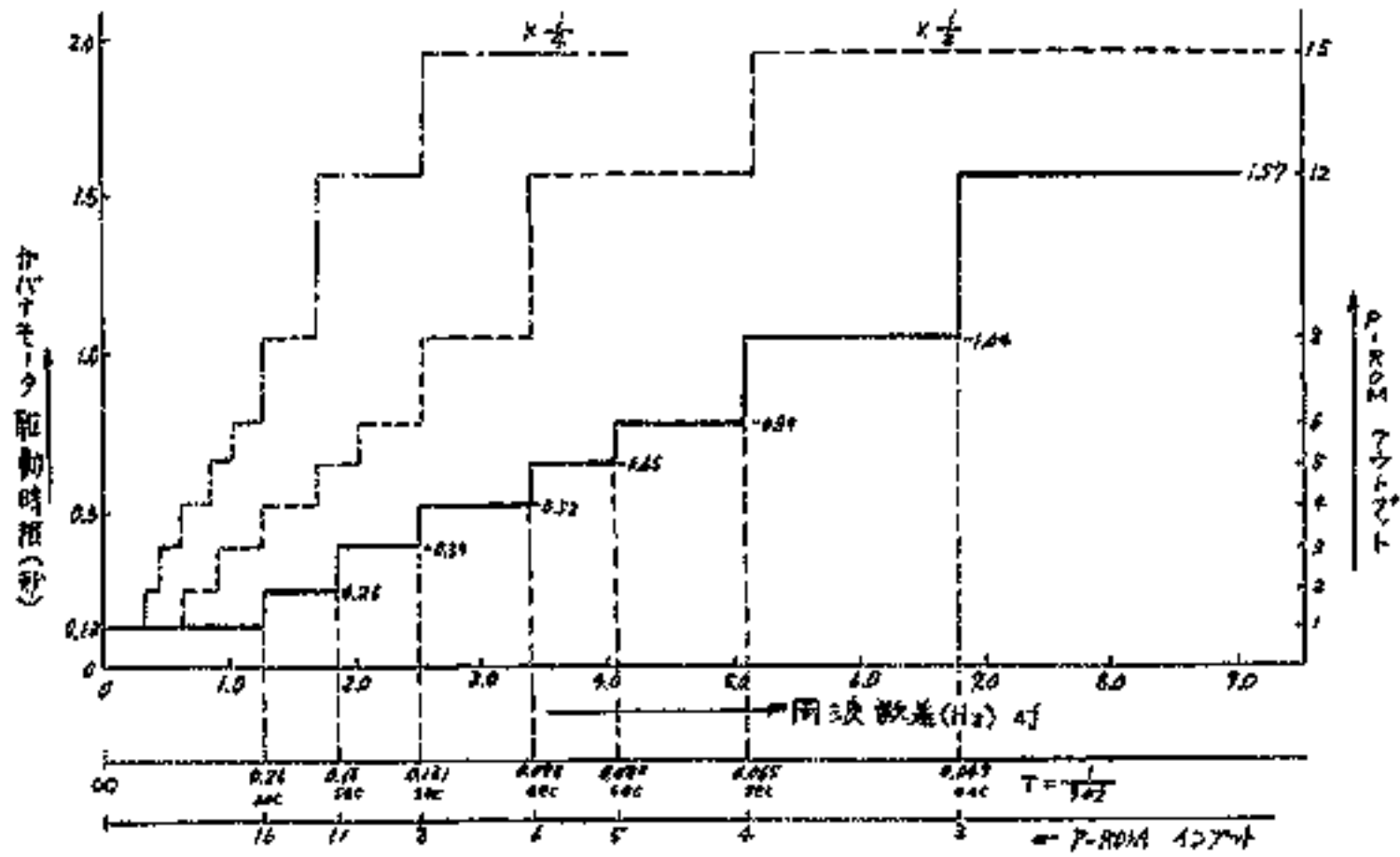
第 12 図

P-ROM 入力	P-ROM 入力セット					P-ROM 出力セット				P-ROM 出力
	A4	A3	A2	A1	A0	O ₄	O ₃	O ₂	O ₁	
0	0	0	0	0	0	1	1	1	1	15
1	0	0	0	0	1	1	1	1	1	15
2	0	0	0	1	0	1	1	0	0	12
3	0	0	0	1	1	1	0	0	0	8
4	0	0	1	0	0	0	1	1	0	6
5	0	0	1	0	1	0	1	0	1	5
6	0	0	1	1	0	0	1	0	0	4
7	0	0	1	1	1	0	1	0	0	4
8	0	1	0	0	0	0	0	1	1	3
9	0	1	0	0	1	0	0	1	1	3
10	0	1	0	1	0	0	0	1	1	3
11	0	1	0	1	1	0	0	1	0	2
12	0	1	1	0	0	0	0	1	0	2
13	0	1	1	0	1	0	0	1	0	2
14	0	1	1	1	0	0	0	1	0	2
15	0	1	1	1	1	0	0	1	0	2
16	1	0	0	0	0	0	0	0	1	1
17	1	0	0	0	1	0	0	0	1	1
18	1	0	0	1	0	0	0	0	1	1
19	1	0	0	1	1	0	0	0	1	1
20	1	0	1	0	0	0	0	0	1	1
21	1	0	1	0	1	0	0	0	1	1
22	1	0	1	1	0	0	0	0	1	1
23	1	0	1	1	1	0	0	0	1	1
24	1	1	0	0	0	0	0	0	1	1
25	1	1	0	0	1	0	0	0	1	1
26	1	1	0	1	0	0	0	0	1	1
27	1	1	0	1	1	0	0	0	1	1
28	1	1	1	0	1	0	0	0	1	1
29	1	1	1	0	1	0	0	0	1	1
30	1	1	1	1	0	0	0	0	1	1
31	1	1	1	1	1	0	0	0	1	1
16進 入力	16	8	4	2	1	8	4	2	1	16進 出力

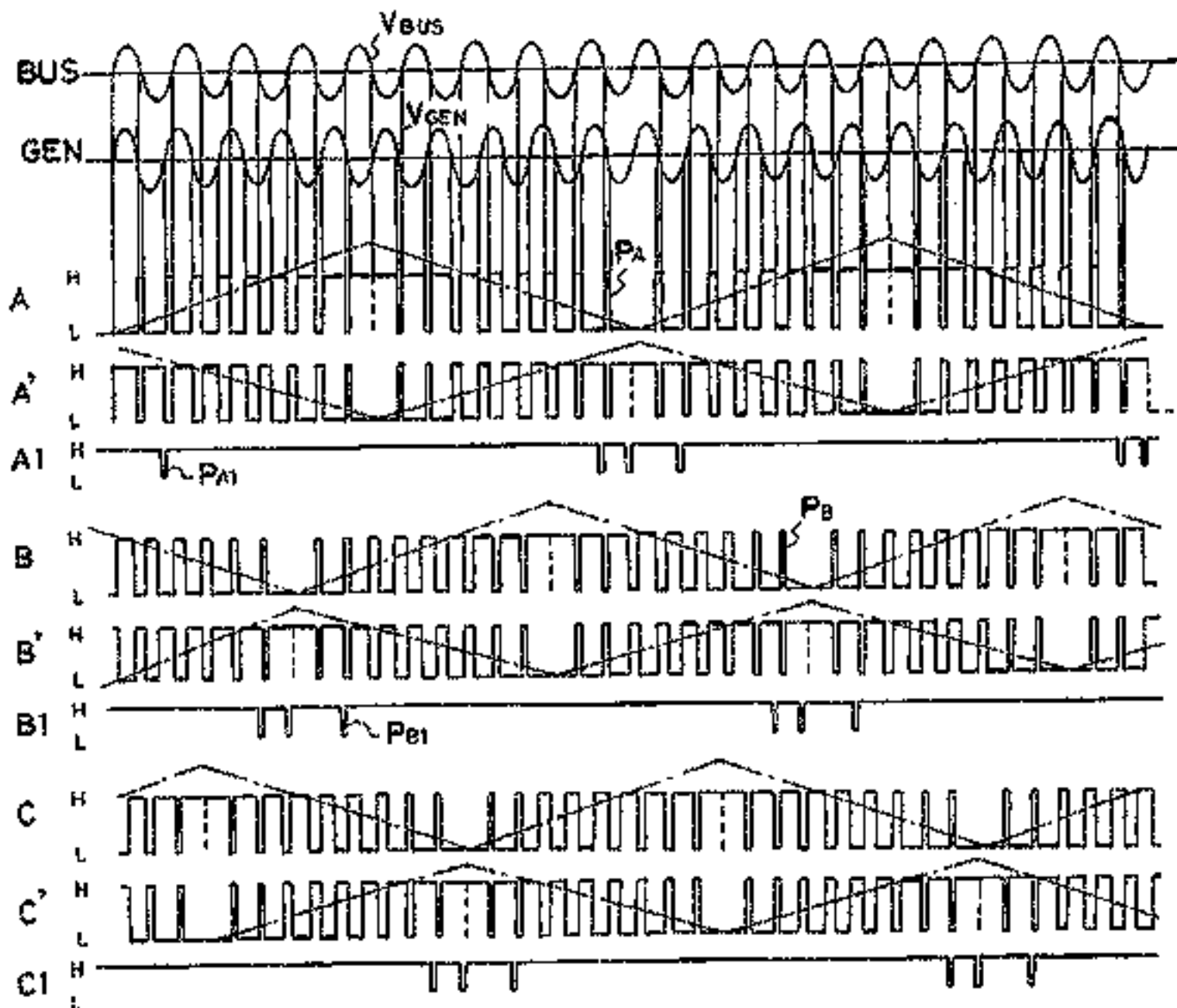
第 13 図

2 ⁿ 進 出力	時間	P-ROM 出力	出力メモリー 駆動時間
2 ¹⁷	0.131072 秒	1	0.131072 秒
2 ¹⁸	0.262144 秒	2	0.262144 秒
		3	0.393216 秒
2 ¹⁹	0.524288 秒	4	0.524288 秒
		5	0.65536 秒
		6	0.786432 秒
		7	0.917504 秒
2 ²⁰	1.048576 秒	8	1.048576 秒
		9	1.179648 秒
		10	1.31072 秒
		11	1.441792 秒
		12	1.572864 秒
		13	1.703936 秒
		14	1.835008 秒
		15	1.96608 秒

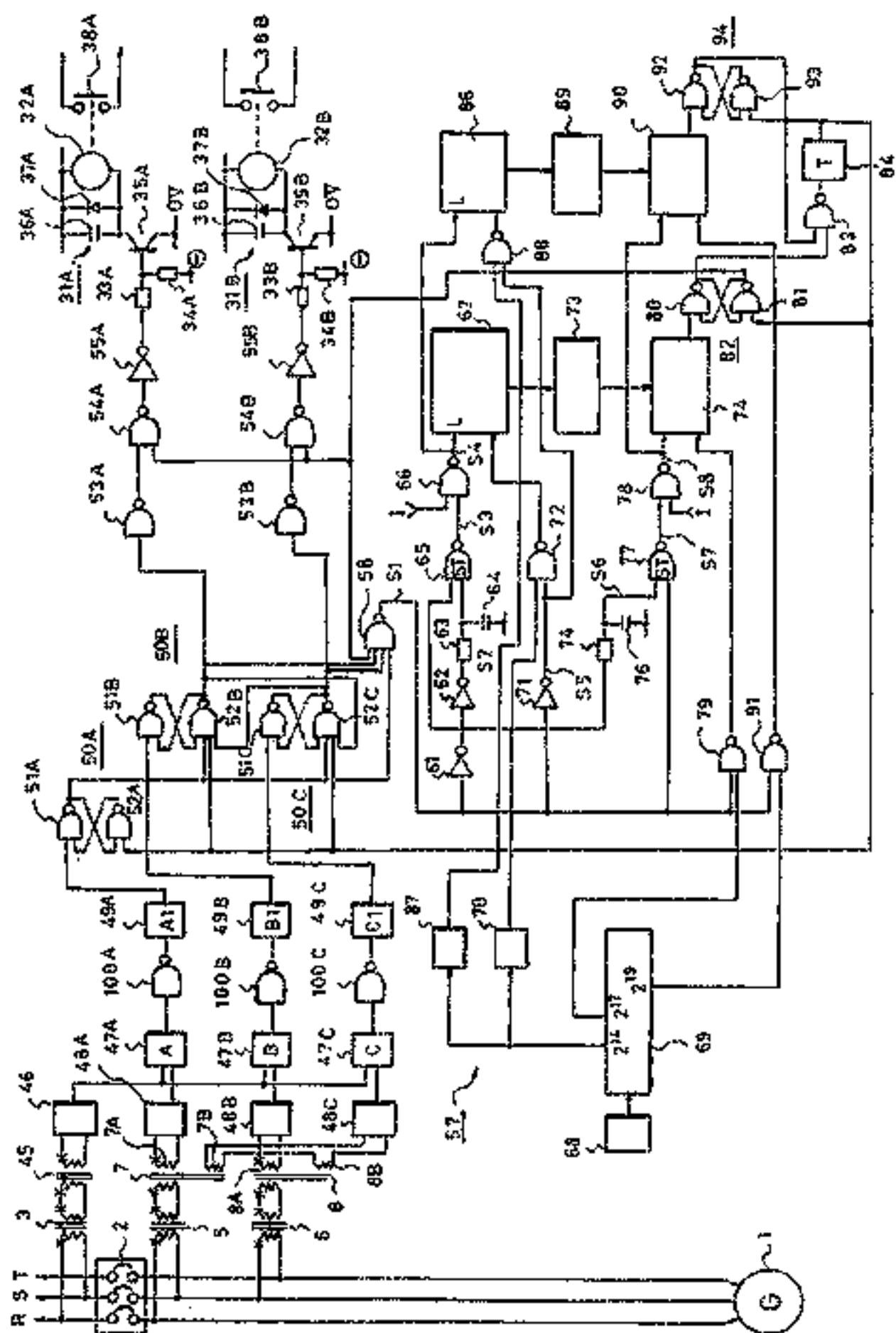
第 14 图



第 19 图



第 18 图



第 15 図

P-ROM 入力	P-ROM 入力セット					P-ROM 出力セット				P-ROM 出力
	A4	A3	A2	A1	A0	04	03	02	01	
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0
2	0	0	0	1	0	0	0	0	0	0
3	0	0	0	1	1	0	0	0	0	0
4	0	0	1	0	0	0	0	0	1	1
5	0	0	1	0	1	0	0	1	1	3
6	0	0	1	1	0	0	1	0	1	5
7	0	0	1	1	1	0	1	1	1	7
8	0	1	0	0	0	0	1	1	1	7
9	0	1	0	0	1	1	0	0	1	9
10	0	1	0	1	0	1	0	0	1	9
11	0	1	0	1	1	1	0	1	1	11
12	0	1	1	0	0	1	0	1	1	11
13	0	1	1	0	1	1	0	1	1	11
14	0	1	1	1	0	1	0	1	1	11
15	0	1	1	1	1	1	0	1	1	11
16	1	0	0	0	0	1	1	0	1	13
17	1	0	0	0	1	1	1	0	1	13
18	1	0	0	1	0	1	1	0	1	13
19	1	0	0	1	1	1	1	0	1	13
20	1	0	1	0	0	1	1	0	1	13
21	1	0	1	0	1	1	1	0	1	13
22	1	0	1	1	0	1	1	0	1	13
23	1	0	1	1	1	1	1	0	1	13
24	1	1	0	0	0	1	1	0	1	13
25	1	1	0	0	1	1	1	0	1	13
26	1	1	0	1	0	1	1	0	1	13
27	1	1	0	1	1	1	1	0	1	13
28	1	1	1	0	0	1	1	0	1	13
29	1	1	1	0	1	1	1	0	1	13
30	1	1	1	1	0	1	1	0	1	13
31	1	1	1	1	1	1	1	1	1	15
VA-14	15	8	4	2	1	8	4	2	1	VA-14

第 16 図

2進出力 数	時間	PROM 出力	総時間 時間
2^0	0.524288秒	1	0.524288秒
2^{20}	1.048576秒	2	1.048576秒
		3	1.572864秒
2^{21}	2.097152秒	4	2.097152秒
		5	2.62144秒
		6	3.145728秒
		7	3.670016秒
2^{22}	4.194304秒	8	4.194304秒
		9	4.718592秒
		10	5.24288秒
		11	5.767168秒
		12	6.291456秒
		13	6.815744秒
		14	7.340032秒
		15	7.86432秒